

XAPP1338 (v1.0) 2019 年 3 月 11 日

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

概要

PCI Express® インターフェイス経由でパーシャル ビットストリームのロードにかかる時間を最小限に抑えることは多くの設計者にとっての課題です。パーシャル リコンフィギュレーションを短時間で実行する必要がある、高速または時間的制約の厳しいアプリケーションでは、PCIe® ベースの DMA を使用することでロード時間を短縮でき、組み込まれた MCAP (Media Configuration Access Port) パスを介して一般的なロードの最大 250 倍の速度でパーシャル ビットストリームをロードできます。このソリューションは、(AXI4 プロトコルに基づいた) 簡単な例であり、カスタマイズして新規または既存のデザインに適用できます。

サンプル デザインは、2 つの異なるザイリンクス評価ボードをターゲットにしています。

- Kintex® UltraScale+™ を搭載した KCU116 評価ボード
- Virtex® UltraScale+™ を搭載した VCU118 評価ボード

詳細は、次の資料を参照してください。

- 『DMA/Bridge Subsystem for PCI Express 製品ガイド』 ([PG195](#))
- 『Vivado Design Suite ユーザー ガイド: パーシャル リコンフィギュレーション』 (UG909: [英語版](#)、[日本語版](#))

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。デザイン ファイルの詳細は、[リファレンス デザイン](#) を参照してください。

はじめに

UltraScale™ および UltraScale+™ デバイスはパーシャル リコンフィギュレーション (PR) をサポートします。PR は、デバイスの一部の構成を動的に変更しながら、残りの部分の動作を継続させることができます。コンフィギュレーション ポートのほとんどはパーシャル ビットストリームを送信できるため、設計者はシステム要件を作成するにあたって高い柔軟性を持つことになります。PCI Express® (PCIe®) ベースのシステムでは、この確立された接続を使用して、パーシャル ビットストリームを保存および送信できます。

デバイスあたり 1 つのエンドポイントに、MCAP を介する、FPGA のコンフィギュレーション エンジンへの専用接続があります。この接続によりリソースは効率的に使用されますが、MCAP を介した PCIe データのパーシャル ビットストリーム送信の帯域幅が 1 DWORD のコンフィギュレーション書き込みに制限されます。通常のシステムの場合、3~6Mb/s の帯域幅です。ほとんどのシステムでは一度に 1 つのコンフィギュレーションのみが送信されます。コンフィギュレーション書き込みはノンポストドであるため、前の書き込みの完了が受信されるまで、2 番目のコンフィギュレーション書き込みは送信されません。これらの制限により、PCIe の帯域幅は PCIe プロトコルで可能な数値を大きく下回ります。

PCIe システムでは、内部コンフィギュレーション アクセス ポート (ICAP) を使用するとコンフィギュレーション エンジンに最速で接続できます。この SelectMAP スタイルのインターフェイスは、モノリシック デバイスの場合 200MHz (800MB/s) で、スタックドシリコン インターコネクト (SSI) テクノロジーを採用したデバイスの場合は 125MHz (500MB/s) で 32 ビット幅のビットストリーム データをサポートできます。このアプリケーションノートでは、PCIe ダイレクト メモリ アクセス (DMA) IP を ICAP に接続する基本的なデザインについて説明し、最高のスループットを実現して、シリコンが許容できる最高速度でパーシャル リコンフィギュレーションを実行できることを示します。

リファレンス デザイン

このパーシャル リコンフィギュレーション プロジェクトは、Vivado® 2018.1 の統合設計環境 (IDE) を使用して作成され、Vivado 2018.3 IDE で検証されています。2つのバージョンが利用可能であり、同じ基本デザインで VCU118 または KCU116 開発プラットフォームをターゲットにできます。2つのバージョンの違いは、物理的な制約 (ピンの位置や Pblock など) と ICAP を駆動するクロックの周波数のみです。これらは UltraScale+™ デバイス用に作成されていますが、同じ概念を UltraScale™ デバイスに適用できます。唯一の違いは、UltraScale では次のパーシャル ビットストリームをロードする前にクリア ビットストリームを送信する際の要件がある点です。

デザイン アーカイブには、Vivado IDE でコンパイルできる基本デザインが含まれています。ビットストリームおよびデュアル QSPI フラッシュ イメージは Bitstreams_VCU118 または Bitstreams_KCU116 フォルダにあり、ハードウェア テストに即座に利用できます。新たにコンパイルした場合、このデザイン アーカイブで提供されるビットストリームとは互換性のないフル ビットストリームとパーシャル ビットストリームが作成されます。ビットストリームのバージョンは常に同期させる必要があることに注意してください。

このアプリケーション ノートの [リファレンス デザイン ファイル](#) は、ザイリンクスのウェブサイトからダウンロードできます。

リファレンス デザインの詳細

次の表に、リファレンス デザインで使用される手順を示します。

表 1: リファレンス デザインの詳細

パラメーター	説明
全般	
開発者	ザイリンクス
ターゲット デバイス	<ul style="list-style-type: none"> XCVU9P-FLGA2104-2L XCKU5P-FFVB676-2
ソース コードの提供	なし
ソース コードの形式 (提供される場合)	N/A
既存のザイリンクス アプリケーション ノート/リファレンス デザイン、サードパーティ、Vivado ツールからデザインへのコード/IP の使用(使用した場合はその詳細)	なし
シミュレーション	
論理シミュレーションの実施	なし
タイミングシミュレーションの実施	なし
論理シミュレーションおよびタイミングシミュレーション用テストベンチの提供	なし
テストベンチの形式	N/A
使用したシミュレータ/バージョン	N/A
SPICE/IBIS シミュレーションの実施	なし
インプリメンテーション	
使用した合成ツール/バージョン	Vivado 合成機能
使用したインプリメンテーション ツール/バージョン	Vivado インプリメンテーション機能
スタティック タイミング解析の実施	なし
ハードウェア検証	
ハードウェア検証の実施	あり
使用したプラットフォーム	<ul style="list-style-type: none"> VCU118 KCU116

セットアップ

Vivado 2018.1 (またはそれ以降のバージョン) IDE でサンプル デザイン プロジェクトを作成します。

1. Vivado IDE で、GUI または Tcl モードで新しいセッションを開始します。
2. コマンド プロンプトで、次のボードのいずれかをターゲットに設定します。

```
set board "vcu118"
set board "kcu116"
```

ターゲット ボードを設定しない場合、KCU116 ボードがデフォルトで使用されます。このオプションは、作成スクリプトで直接設定することもできます。

3. 作成スクリプトを実行します。

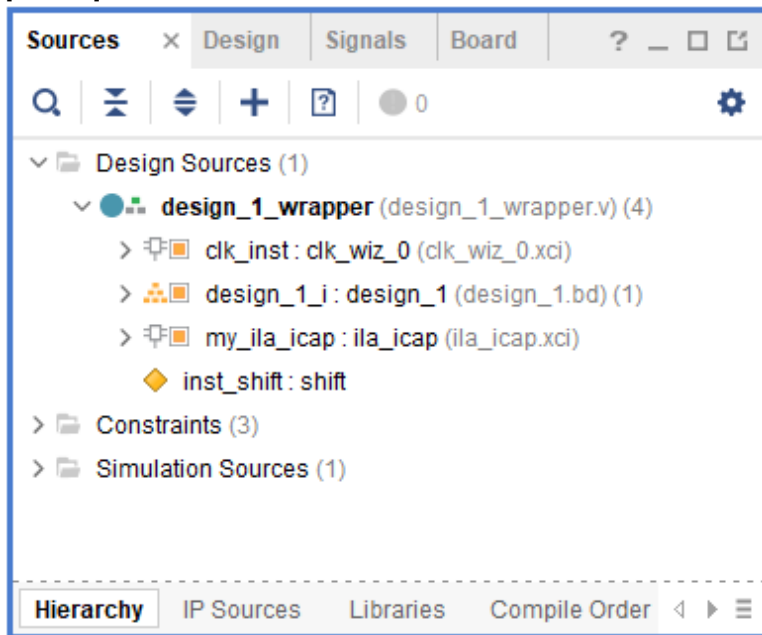
```
source PR_over_PCIe_project.tcl
```

このスクリプトが完了すると、プロジェクト全体の合成およびインプリメンテーションが可能になります。

4. スクリプトを Tcl モードで実行した場合、Vivado IDE を開いてプロジェクト全体を確認します。

```
start_gui
```

5. [Sources] ウィンドウでデザイン階層を展開して、デザインの全体構造を確認します。



注記: [inst_shift] の隣にあるひし形のアイコンは、リコンフィギュラブル パーティションであることを示しています。

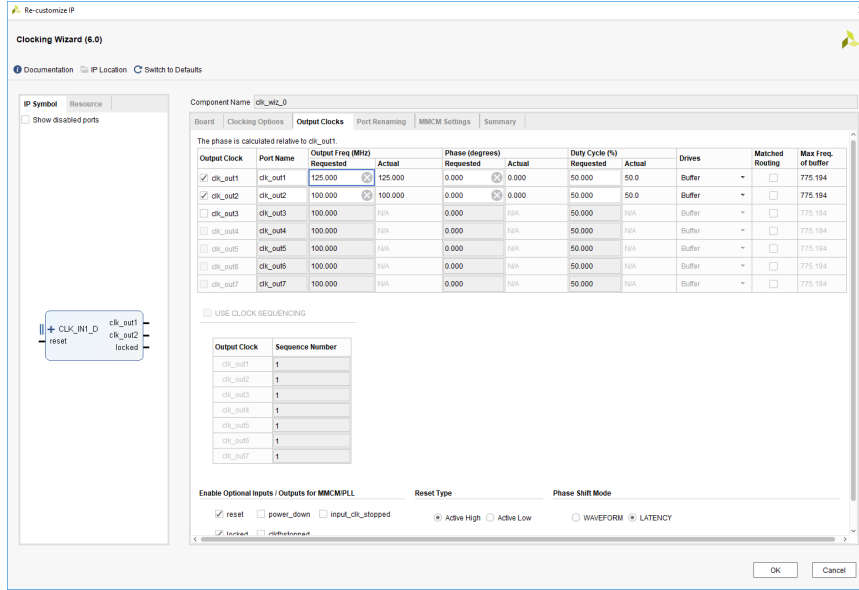
このデザインには、デモ ボード上の LED を移動させるリコンフィギュレーション可能なシンプルな機能があります。デザインのこの部分はそのままの構成にしてコンパイルが簡単に済むようにし、ビットストリーム送信の詳細に集中します。サンプル デザインには、2つのリコンフィギュラブル モジュールが含まれます。

- shift_left
- shift_right

ICAP クロックの周波数を設定する

1. [clk_inst] をダブルクリックしてカスタマイズ GUI を開きます。
2. [Output Clocks] タブで、ボードの clk_out1 の周波数を確認します。
 - KCU116: 200MHz

- VCU118: 125MHz

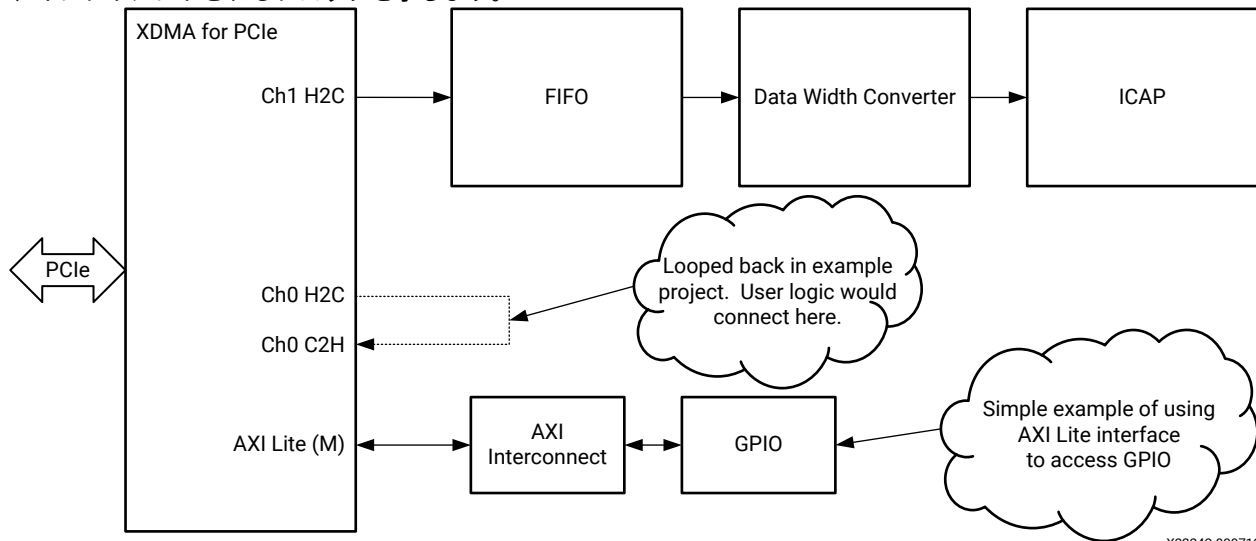


これらは、ローカル SLR または SSI デバイス全体それぞれにアクセスする ICAP を駆動するクロックの最大周波数です。

ブロック図

図 1: ロジック ブロック図

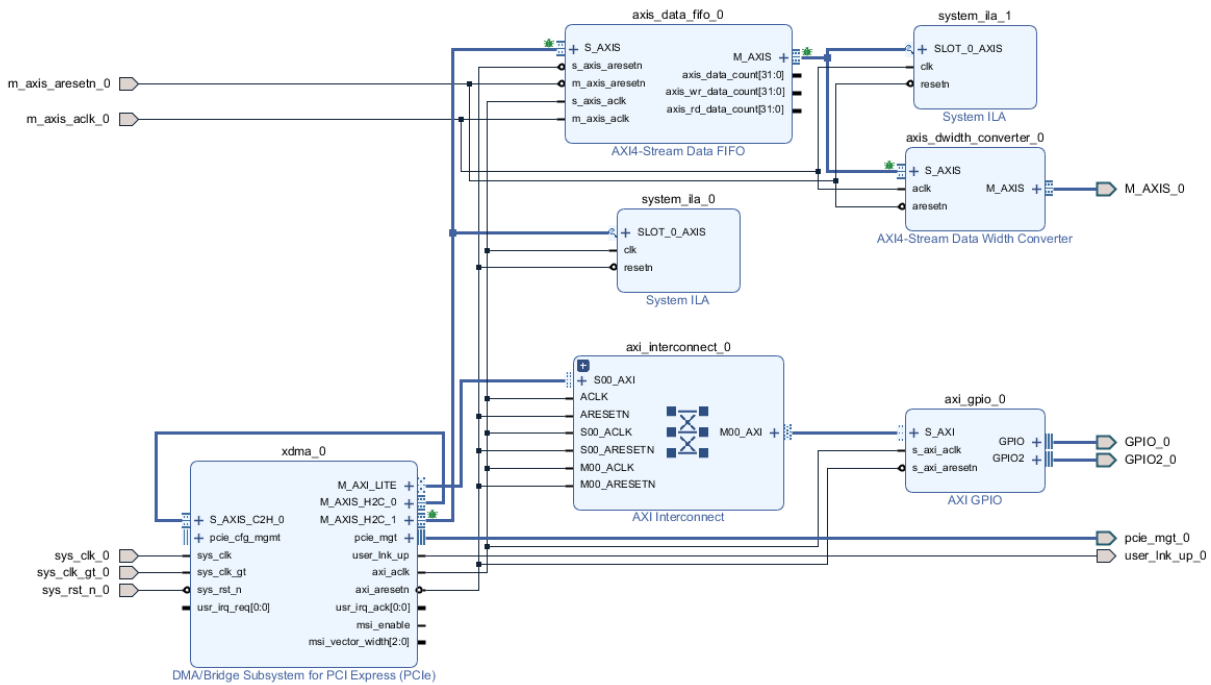
次の図に、インプリメントされるブロックを示します。



X22242-030719

図 2: PCIe® サブシステムのブロック図

ツールでプロセッサ間割り込み (IPI) ブロック図を表示するには、design_1 を開きます。



このブロック図は、2つの AXI4-Stream 受信チャンネルと 1つの AXI4-Stream 送信チャンネルを備えたザイリンクス DMA PCIe IP コアを挿入します。任意の数の AXI4-Stream チャンネルをオンにできます。ただし、受信チャンネルの 1つを使用して PCIe ホストからビットストリームを受信し、そのビットストリームを ICAP に転送する必要があります。この場合、チャンネル 1 が ICAP の指定受信チャンネルです。この例では、チャンネル 0 の受信はチャンネル 0 の送信にループバックされていますが、実際のアプリケーションではこれらのチャンネルはユーザー ロジックに接続されます。

DMA チャンネル 1 のパスは非同期 FIFO に接続され、PCIe ドメインから ICAP ドメインへのクロック ドメインの切り替えを容易にします。ICAP クロック ドメインの最大周波数は、選択したデバイスによって異なり、各デバイスのデータシートに記載されています。

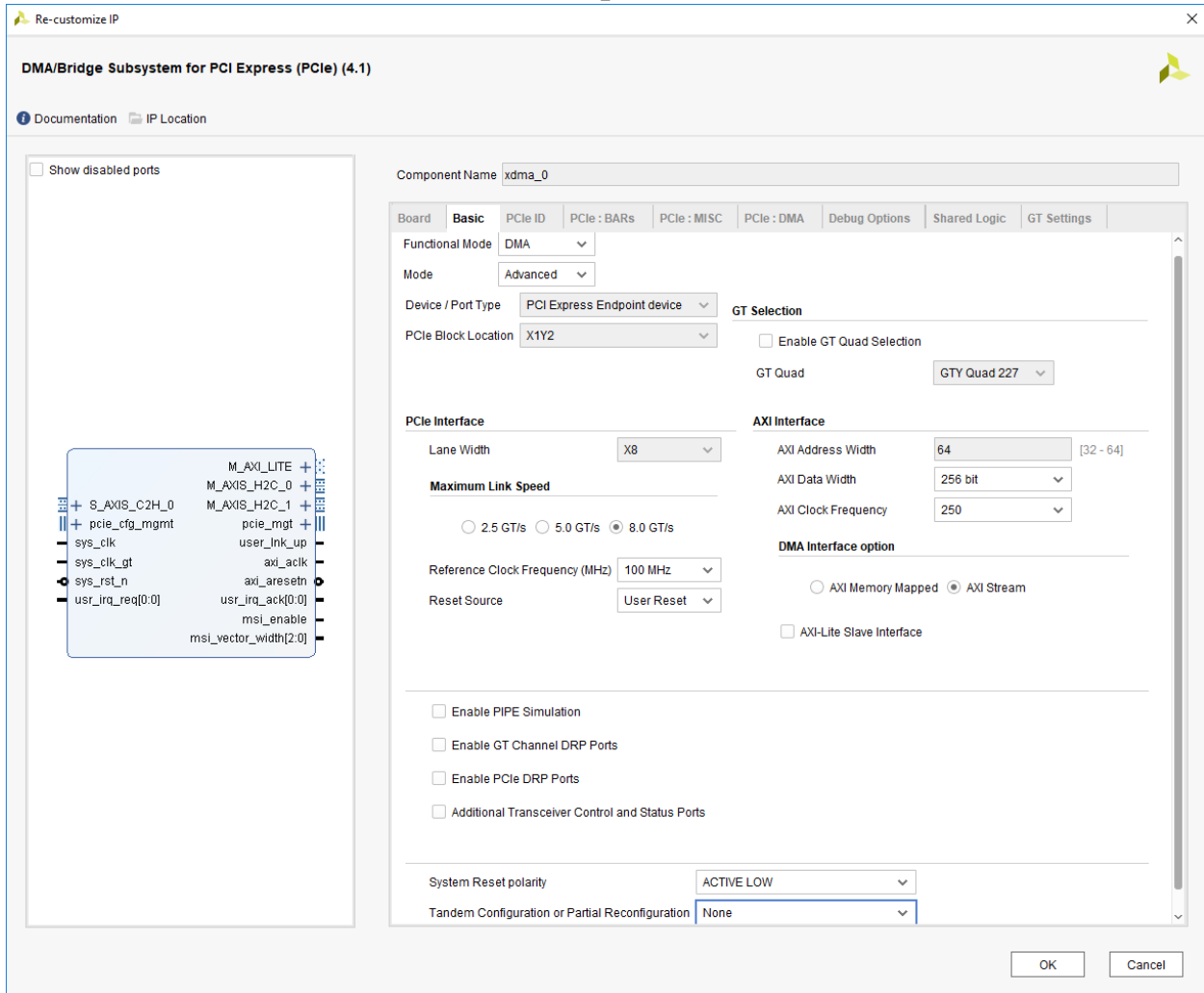
AXI4-Stream は、ドメインを切り替える FIFO を通って AXI4-Stream データ幅コンバーターに送信されます。DMA インターフェイスからの AXI4-Stream パスのサイズは、PCIe リンクの幅と速度によって異なります。ICAP の幅は、すべてのデバイスで 32 ビットに固定されています。

動作中のアクティビティを監視できるように、ILA (Integrated Logic Analyzer) コアがデータパス全体に挿入されています。このような ILA は削除可能で、通常動作には必要ありません。

XDMA PCIe IP

図 3: XDMA PCIe IP のカスタマイズ (基本機能)

PCIe カスタマイズを確認するには、ブロック図を表示して、xdma_0 をダブルクリックします。



このサンプル デザインは、Gen3 x8 IP コアを使用するように設定されていますが、ほかの PCIe 幅と速度も使用できます。Gen1 x1 システムは概して、ICAP インターフェイスを飽和させない 400MB/s の転送レートとなる可能性があります。それでも使用可能で、MCAP バスよりはるかに高速です。その他すべてのリンクの幅と速度は ICAP インターフェイスを飽和させ、コンフィギュレーションのパフォーマンスを最大にします。

[DMA Interface option] で、[AXI Stream] がオンになっていることを確認します。

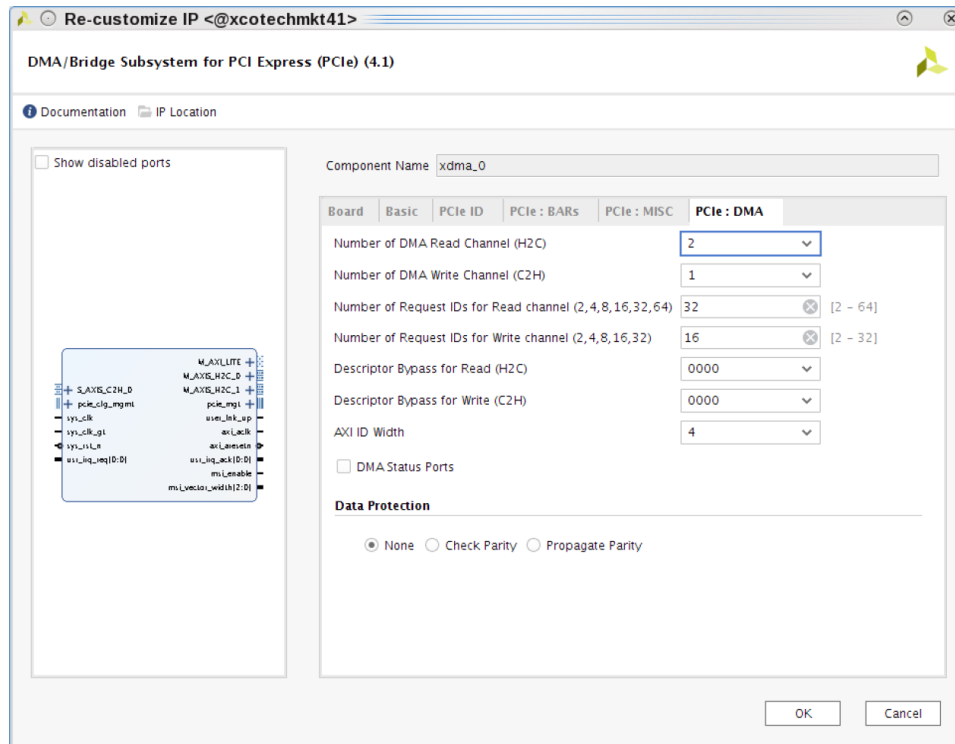
ターゲット デバイス上の任意の PCIe サイトを使用できますが、配線の遅延が短くなる、ICAP サイトの隣りに位置するサイトが最も効果的です。

上記の [Basic] タブでは、[Tandem Configuration or Partial Reconfiguration] が [None] に設定されています。このデザインは、最初のデバイス コンフィギュレーション時、120 ミリ秒のエニュメレーションを満たすためにタンデム コンフィギュレーションを利用していません。ただし、この機能は、PCIe を介する高速パーシャル リコンフィギュレーションの要件と無関係であるため、使用できます。

[PCIe : DMA] タブをクリックします。

注記: [Tandem Configuration or Partial Reconfiguration] で [PR over PCIe] を選択しないでください。これを選択すると、このアプリケーションでは使用されない MCAP インターフェイスがビットストリーム送信用に有効になります。

図 4: XDMA PCIe IP のカスタマイズ (DMA 機能)



このタブで、[Number of DMA Read Channel (H2C)] の値が 2 に増加していることを確認します。このタブの H2C とはホストからカード (Host to Card) を意味します。つまり、ビットストリームはホストから PCIe ブロックへ、最終的には ICAP に送信されます。このデザインでは、チャンネルは ICAP 専用ですが、追加されたその他のユーザー アプリケーション ロジックと組み合わせて使用することもできます。

★ **重要:** 開発者は、PCIe を介した DMA を使用する際の短所の 1 つとして、このホストのすべてのユーザーが FPGA の構成を見ることができる点に留意しておく必要があります。

ほとんどのシステムにおいて、(MCAP およびコンフィギュレーション トランザクションを介した) プログラムに使用される PCIe コンフィギュレーション パケットは通常、ルート アクセスを使用して送信する必要があります。セキュリティ チェックを実装することはこのアプリケーション ノートの目的の範囲を超えていますが、いくつかのオプションを利用できます。

まず、ICAP 自体に、正しいデバイス情報で適切にフォーマットされたビットストリームのみを受信するためのチェック機能が内蔵されています。また、このデザインではリードバック機能が実装されていないため、ビットストリームを PCIe リンクを介してリードバックできません。

意図しないビットストリームで FPGA がダウンロードされないように、次の対策を講じることができます。

- データを ICAP に送信する前に設定する必要があるシークレット値を持つ制御レジスタを追加します。
- 内蔵されているデバイス暗号化手法を使用します。

このデザインのパーシャル ビットストリーム送信パスは、PCIe IP コアから始まり、FIFO およびデータ幅コンバーターを通過してから、32 ビット AXI4-Stream データとしてブロック図の外部へと続きます。

M_AXIS_0_tdata が ICAP の入力ポート (パスの終端) に接続されているのを確認するには、design_1_wrapper.v を開きます。

リファレンス デザインのコンパイル

1. Flow Navigator で [Run Implementation] をクリックしてデザインを配置配線まで実行することで、次が完了します。
 - すべての IP およびサブモジュールの合成
 - 親コンフィギュレーションのインプリメンテーション

- パーシャル リコンフィギュレーション プロジェクト フローを使用する子コンフィギュレーションのインプリメンテーション
- インプリメンテーションが完了すると、ダイアログ ボックスが開きます。[Cancel] (または [Open Implemented Design]) をクリックします。

注記: フル ビットストリームをフラッシュにプログラムするまたは PCIe を介するパーシャル ビットストリームの送信に対応するようデザイン プロパティが設定されていないため、ここでは、ビットストリーム生成を実行しないでください。それぞれに異なるオプションが必要であり、このシナリオは Vivado プロジェクト モードではまだサポートされていません。

- Tcl コンソールで、フル ビット ファイルとパーシャル ビット ファイルすべてを作成するには、次のスクリプトを source コマンドで実行します。

```
source create_all_bitstreams.tcl
```

これにより、デュアル QSPI プログラムに必要なオプションを使用して、親コンフィギュレーションのフル デバイス ビットストリームが作成されます (圧縮は有効)。

- CONFIG_MODE: SPIx8
- SPI_BUSWIDTH: 8
- CONFIGRATE: 51.0

スクリプトは、ICAP に必要な設定で (CONFIG_MODE に S_SELECTMAP32 を指定)、shift_right および shift_left リコンフィギュラブル モジュールのパーシャル ビットストリームも生成します。すべてのパーシャル ビット ファイルのサイズの一貫性を確保するため、ビットストリーム圧縮は無効になっています。

- 上記の 3 つのビットストリームが作成され、Bitstreams フォルダーに置かれたら、最後に次を生成します。
 - デュアル QSPI フラッシュ プログラム用の .mcs ファイル
 - PCIe を介するパーシャル リコンフィギュレーション プログラム用の .bin ファイル
- Tcl コンソールで、必要なすべてのプログラム ファイルを作成するには、次のスクリプトを source コマンドで実行します。

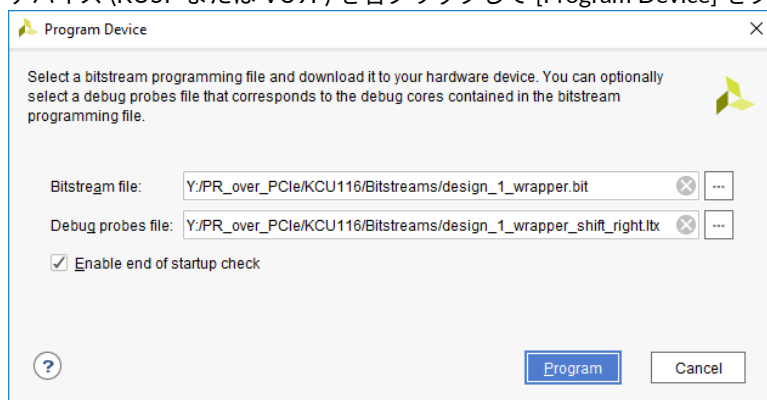
```
source create_bin_and_prom.tcl
```

これにより、各パーシャル ビットストリームが 32 ビット SelectMAP 送信用にフォーマットされ、フル デバイス ビットストリームがデュアル QSPI コンフィギュレーション用にフォーマットされます。

JTAG を用いたデバイス コンフィギュレーション

デバイスの最初のコンフィギュレーションは、JTAG またはデュアル QSPI を介して実行できます。JTAG を介してデバイスをコンフィギュレーションするには、次の手順を実行します。

- Vivado IDE を起動し (起動していない場合)、[Open Hardware Manager] をクリックします。
- ターゲット ボードに接続します。
- デバイス (KU5P または VU9P) を右クリックして [Program Device] をクリックすると、ダイアログ ボックスが開きます。



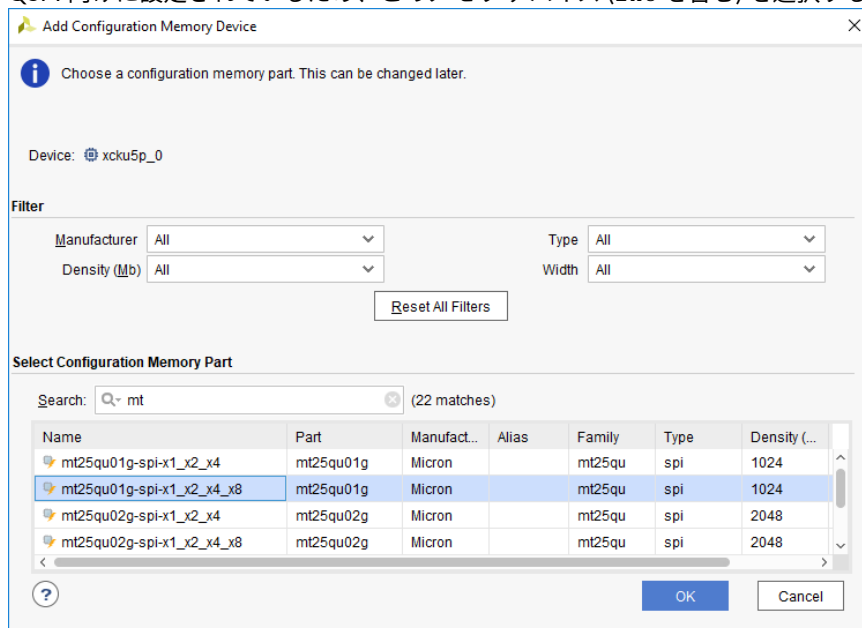
- [Bitstream file] では、Bitstreams フォルダーからの design_1_wrapper.bit を選択します。
- [Debug probes file] では、design_1_wrapper_shift_right.ltx を選択します。
- [Program] をクリックします。

この結果、DONE が High になると、4 つの LED が右に移動します。

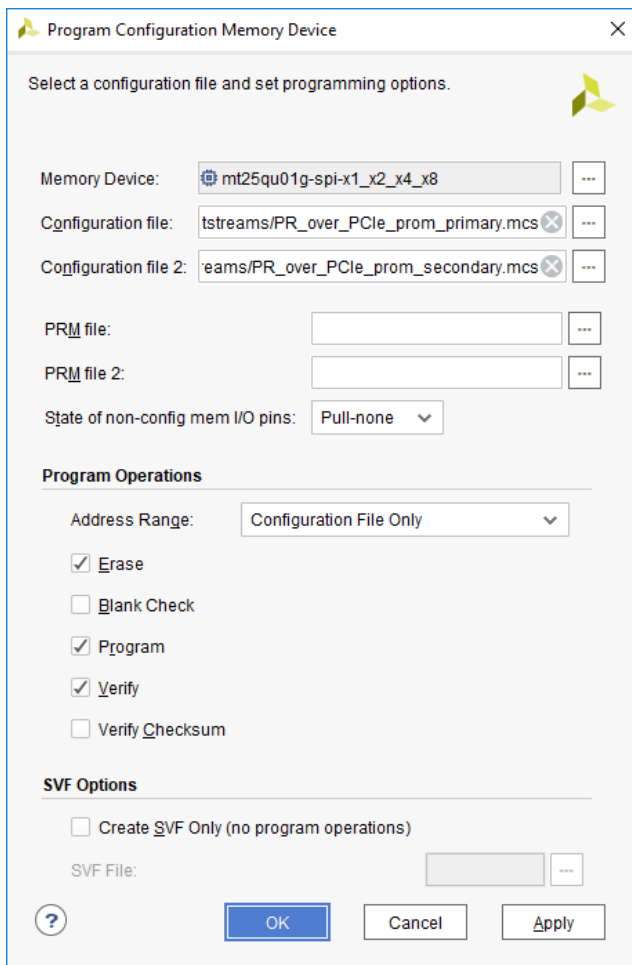
デュアル QSPI を用いたデバイス コンフィギュレーション

デザインの PROM イメージはローカル QSPI フラッシュにロードして、ボードの電源投入時に自動的に送信できます。

1. デバイス (KU5P または VU9P) を右クリックして、[Add Configuration Memory Device] をクリックします。
2. コンフィギュレーション メモリ デバイスのリストから [mt25qu01g-spi-x1_x2_x4_x8] を選択します。PROM イメージはデュアル QSPI 向けに設定されているため、このメモリ デバイス (_x8 を含む) を選択する必要があります。



3. [OK] をクリックし、このデバイスを今すぐプログラムするかどうかをたずねるメッセージが表示されたら再度 [OK] をクリックします。
4. 今すぐデバイスをプログラムするかどうかをたずねるメッセージが表示されて [OK] をクリックすると、[Program Configuration Memory Device] が開きます。



5. [Configuration file] では、PR_over_PCl_e_prom_primary.mcs を選択します。
6. [Configuration file 2] では、PR_over_PCl_e_prom_secondary.mcs を選択します。
7. フラッシュ ターゲットからプログラムを消去するには、[OK] をクリックします。
8. これが完了したら、Mode ピンをマスター SPI モードに設定してから PROG を押すか、ボードに電源を入れ直します。
9. 次の値が 0 にセットされていることを確認します。
 - KCU116: SW21 のビット 6
 - VCU118: SW16 のビット 2

PCIe ホストに接続し、FPGA のパーシャル リコンフィギュレーションを実行する

ホストから FPGA へのパーシャル ビットストリームの転送は、次のアンサーから入手可能なザイリンクス DMA リファレンス ドライバーを使用して簡単に実行できます([AR#65444](#))。

リファレンス ドライバーは Windows と Linux の両方で使用でき、ホストから FPGA へのデータ転送を簡単にするサンプル アプリケーションが含まれています。

アンサー内の手順に従ってドライバーをインストールします。このアプリケーション ノートでは、転送の実行に Linux を使用していますが、Windows も利用できます。

ドライバーがインストールされたら、dma_to_device プログラムを使用してパーシャル ビットストリームをホストから ICAP に転送します。次に、サンプル コマンドを示します。

```
./dma_to_device -d /dev/xdma/card0/h2c1 -s 475956 -c 1 -f ./inst_shift_shift_left_partial.bin
```

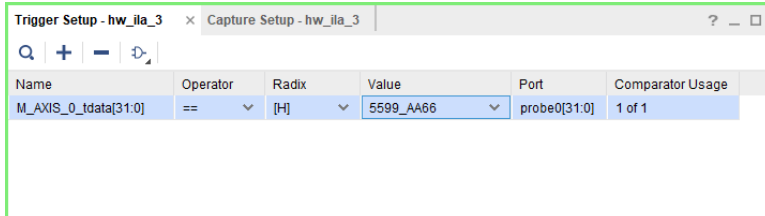
- -d: チャネル 1 のキャラクター デバイス。この場所は異なる場合があるため、パスが指定の Linux 環境に対応して正しいことを確認する必要があります。
- -s: パーシャル BIN ファイルのサイズ (バイト単位)。
- -c: BIN ファイルを送信する回数。この例では、1 回の送信で十分です。
- -f: 送信される実際のパーシャル BIN ファイル。

同じコマンドを使用して異なる BIN ファイルを送信できますが、サイズとファイルの場所を更新してからコマンドを実行するようにしてください。

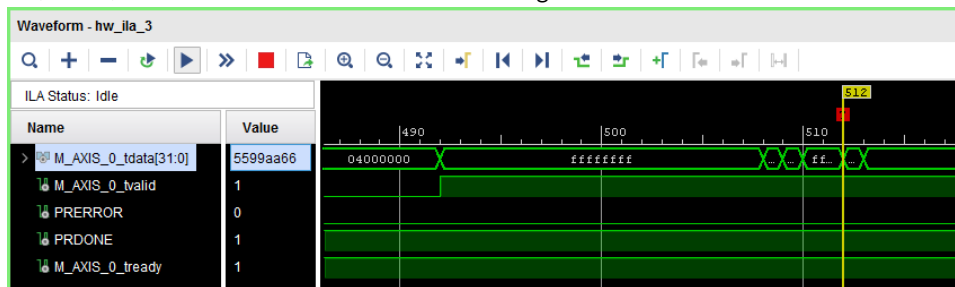
デバッグ コアを使用したアクティビティの監視

デバイスのパーシャル リコンフィギュレーションが実行されている間、データストリームを監視して、ビットストリームのフォーマットが正しいことを確認できます。このサンプル デザインには複数の ILA デバッグ コアが挿入されていますが、最も簡単に使用できるものは ICAP プリミティブと並んで最上位にあります。

1. Vivado® Design Suite ハードウェア マネージャー機能を開いて、デモ ボードに接続します。
2. デバッグ コアを確認するには、デバイスをリフレッシュします。
3. ILA コア ウィンドウの 1 つで、[Specify the probes file links] をクリックして [Bitstreams/design_1_wrapper_shift_right.ltx] を指定します。
4. [hw_ila_3] で、[+] をクリックして [Trigger Setup] ウィンドウでプローブを追加します。
5. [M_AXIS_0_tdata[31:0]] を選択して [OK] をクリックします。
6. [Radix] では [H] (16 進数) を選択します。
7. [Value] では [5599_AA66] に設定してビットストリームの同期ワードを監視します。これはビット スワップバージョンであり、ICAP でコンフィギュレーション エンジンがプログラム モードに設定されることを想定しています。



8. トリガーを作動させてから、デバイスのパーシャル リコンフィギュレーションを実行します (前のセクションで説明したとおり)。パーシャル ビットストリームが送信されたら、データを直ちにキャプチャする必要があります。
9. キャプチャされたデータに対して、tvalid が High に遷移したら間もなくビットストリームの送信が開始されます。



ILA コアのインスタンス hw_ila_1 と hw_ila_2 を使用して、AXI4 バスのアクティビティを監視できます。これらのコアは、ブロック図に含まれています。これらは次の出力を監視します。

- XDMA (system_ila_0)
- data_fifo (system_ila_1)

まとめ

このアプリケーション ノートでは、PCIe を介してコンフィギュレーション データを継続的にストリーミングして ICAP を飽和させる方法の 1 つを示しています。最高性能のソリューションとは、シリコンが許容できる最大速度でコンフィギュレーション データを送信することにより、ICAP に対する送信帯域幅を最大にすることを意味します。このパーシャル ビットストリーム送信は、パーシャル リコンフィギュレーションの実行前、実行中、および実行後の一連のイベントと組み合わせる必要があります。設計上の考慮事項の詳細は、『Vivado Design Suite ユーザー ガイド: パーシャル リコンフィギュレーション』(UG909: [英語版](#)、[日本語版](#)) を参照してください。

サポートされる機能

- PCIe® を介した、最大 ICAP 帯域幅での高速コンフィギュレーション。
- デュアル QSPI または JTAG ポートを用いた最初のコンフィギュレーション。
- ビットストリーム送信パスの重要な段階でのデバッグ。
- Kintex® UltraScale+™ および Virtex® UltraScale+™ のサポート。
- 標準のサンプル PCIe ドライバーの使用。

サポートされていない機能

- Kintex® UltraScale™ および Virtex® UltraScale™ デバイスは、提供されているサンプル デザインでサポートされていません。同じアプローチを使用して同じ結果を得ることができますが、サイリンクスはこれを明示的に構築またはテストしていません。
- このバージョンは、AXI4 メモリ マップド モードではなく、AXI4-Stream モードのみをサポートします。

一部の機能はまだ実装されていませんが、今後のリリースに含まれる可能性があります。

既知の制限

パーシャル リコンフィギュレーション プロジェクト フローは、ブロック図内のリコンフィギュラブル パーティション (RP) の定義にまだ対応していません。RTL 内のすべての RP を定義するか、スクリプトで記述された非プロジェクト モードのインプリメンテーション フローにブロック図をエクスポートします。

参考資料

1. 『Vivado Design Suite ユーザー ガイド: パーシャル リコンフィギュレーション』(UG909: [英語版](#)、[日本語版](#))
2. 『DMA/Bridge Subsystem for PCI Express 製品ガイド』([PG195](#))
3. 『Vivado Design Suite チュートリアル: パーシャル リコンフィギュレーション』(UG947: [英語版](#)、[日本語版](#))
4. 『UltraScale アーキテクチャ コンフィギュレーション ユーザー ガイド』(UG570: [英語版](#)、[日本語版](#))

改訂履歴

次の表に、この文書の改訂履歴を示します。

セクション	改訂内容
2019 年 3 月 11 日 バージョン 1.0	
初版。	N/A

お読みください: 法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

自動車のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティ アプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティ アプリケーションで製品を使用するリスクはすべて顧客が負い、製品責任の制限を規定する適用法令および規則にのみ従うものとします。

著作権

© Copyright 2019 Xilinx, Inc. Xilinx, Xilinx のロゴ、Alveo、Artix、Kintex、Spartan、Versal、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。AMBA、AMBA Designer、Arm、ARM1176JZ-S、CoreSight、Cortex、PrimeCell、Mali、および MPCore は、EU およびその他の各国の Arm Limited の商標です。PCI、PCIe、および PCI Express は PCI-SIG の商標であり、ライセンスに基づいて使用されています。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。