



システム統合と BOM コスト削減



システム性能



全消費電力



設計の生産性

UltraSCALE™

20nm デバイスの価値 - 最小工数で最大の効果



UltraScale の価値

移行パス	デバイス移行 (同等のロジック容量)	システム統合 (複数デバイスの数の低減)
VIRTEX ⁷ から ▶ KINTEX ^{UltraScale}	1ドルあたりのロジックセルスループット*: 2 ~ 3 倍 1ドルあたりの DSP 帯域幅: 2 ~ 4 倍 1ドルあたりのシリアル帯域幅: 1.5 ~ 3 倍 1ドルあたりの DDR メモリ帯域幅: 2 倍 - 同一性能における消費電力の低減: 25 ~ 45%	1ドルあたりのシステム性能: 最大 3.5 倍 1ワットあたりのシステム性能: 最大 2 倍 - システム消費電力の低減: 最大 40% - BOM コストの削減: 最大 60%
KINTEX ⁷ から ▶ KINTEX ^{UltraScale}	1ドルあたりのロジックセルスループット: 15 ~ 30% 向上 1ドルあたりの DSP 帯域幅: 25 ~ 120% 向上 1ドルあたりのシリアル帯域幅: 1.5 ~ 2 倍向上 1ドルあたりの DDR メモリ帯域幅: 2 ~ 4 倍 - 同一性能における消費電力の低減: 25 ~ 45%	1ドルあたりのシステム性能: 最大 2.5 倍 1ワットあたりのシステム性能の向上: 最大 2.5 倍 - システム消費電力の低減: 最大 50% - BOM コストの削減: 最大 60%
VIRTEX ⁷ から ▶ VIRTEX ^{UltraScale}	1ドルあたりのロジックセルスループット: 20 ~ 40% 向上 1ドルあたりのシリアル帯域幅: 10 ~ 30% 向上 - 同一性能における消費電力の低減: 25 ~ 45% - 統合ブロックによるデバイスサイズの縮小: 最大 33%	1ドルあたりのシステム性能: 最大 3 倍 1ワットあたりのシステム性能の向上: 最大 2.5 倍 - システム消費電力の低減: 最大 50% - BOM コストの削減: 最大 50% 28G-LR による 1ドルあたりのポート密度の向上: 2 倍

UltraScale アーキテクチャと Vivado(R) Design Suite による協調最適化によって、90% のデバイス使用率をターゲットとすることができ、競合製品と比較すると最大で 30% の優位性をもたらします。

* ロジックセルスループット = ロジック容量 x ロジックセルで実現可能な平均速度

ザ イリンクスの UltraScale アーキテクチャと関連する FPGA および 3D IC ファミリーは、20nm デバイスの価値をさらに高めるものです。チップレベルの特性を見ても、システムレベルで複数チップをより少数のチップまたは 1 つのチップに統合する場合を見ても、UltraScale ソリューションへの移行によって設計者は大きなメリットを享受できます。

上の表は、チップおよびシステムレベルの価値向上を 3 つの移行パス別に示したものです。

Virtex-7 から Kintex UltraScale に移行した場合、あらゆる性能で、1ドルあたりのチップレベル性能が 1.5 ~ 4 倍向上し、消費電力は 25 ~ 45% 低減されます。複数のチップを統合した場合は、BOM コストが最大 60% 削減され、システムレベルでの価値を 2 ~ 3 倍高めることができます。20nm プロセス、UltraScale アーキテクチャ、DSP のブロックレベルの強化、インターフェイスの高帯域化によって、かつてハイエンドの Virtex クラスの製品でしか実現できなかったアプリケーションに Kintex UltraScale のミッドレンジデバイスを適用できるようになりました。

Kintex 7 UltraScale から 20nm の Kintex UltraScale デバイスへ移行することで、DSP 数の 25 ~ 125% 増加、1ドルあたりのシリアル帯域幅とメモリ帯域幅の 1.5 ~ 4 倍向上、消費電力の 25 ~ 45% 低減が可能になります。この場合も、複数のチップを 1 つのチップに統合すると、コストを最大 60% 削減し、システムレベルでの価値を 2 倍以上高めることができます。UltraScale アーキテク

チャの活用、DSP のブロックレベルの強化、インターフェイスの高帯域化に加えて、Kintex UltraScale デバイスはリソース比率が最適化されており、DSP やメモリを多用するアプリケーションで Kintex-7 から Kintex UltraScale に移行する場合に最も効果を発揮します。

Virtex-7 から Virtex UltraScale FPGA に移行するアプリケーションでは、プログラマブルなシステム統合を実現するために、通常 UltraScale デバイスのあらゆる機能を活用します。また、チップレベルの価値増大の恩恵を大いに受けつつ、システムレベル性能の倍増、消費電力および BOM コストの最大 50% の低減などを実現する機能も使用します。ほぼすべてのカテゴリで Virtex-7 デバイスを上回る 1ドルあたりの性能、4 倍のロジック容量、そして同等競合製品より 60% 高い帯域幅を誇る Virtex UltraScale FPGA は性能と価値の面で最先端を行く製品です。■

ザイリンクス 20nm ソリューションは、その多様性が魅力であり、28nm デバイスのポートフォリオを補完します。UltraScale アーキテクチャと関連する FPGA および 3D IC ファミリーによって、ザイリンクスはよりスマートな高性能次世代システム向けに、20nm デバイスの価値を倍加させています。

UltraScale の価値：パケット処理

最大 90% のデバイス使用率と 3D IC によって強化されたシステム統合により、数百ギガビットのスループットを最短で実現

パケット処理	価値に対する効果	主要アプリケーション
ドメインに最適化された内蔵ブロック 150G Interlaken 用統合インターフェイス 100G イーサネット MAC 用統合インターフェイス - 外部クロック クリーンアップ用 VCXO - 高効率な FEC および CRC 向けに強化された DSP	デバイス移行の効果 1 ドルあたりのロジック セル スループット：2.2 倍 - 統合 IP によるデバイスの縮小：最大 25% 1 ドルあたりのシリアル帯域幅：1.6 倍 1 ドルあたりの DDR メモリ帯域幅：1.65 倍 - 同一性能における消費電力の低減：30%	有線通信 2x100G マックスポンダー 4x100G トランスポンダー 4x100G MAC-Interlaken ブリッジ 4x100G MuxSAR 100G トラフィック マネージャー NIC - OTU5 マックスポンダー 100G、200G MAC-Interlaken ブリッジ 200G FIC
ドメインに最適化された機能 - ブロック RAM のカスケード接続による深いバッファ - 広いバス幅に最適化されたインターコネクト - ASIC タイプの低スキュー クロッキング - TX 位相インターポレーターおよびフラクショナル PLL	システム統合の効果 1 ドルあたりのシステム性能：最大 3 倍 1 ワットあたりのシステム性能：最大 2.5 倍 - システム消費電力の低減：最大 60% - BOM コストの削減：最大 50%	データ センター 100G SDN NIC - SSD コントローラー - PEX デバイス
主要な I/O および接続インターフェイス - 最大 2400Mb/s の DDR4 メモリのサポート - 最大 33G のトランシーバーのサポート - 独立した DDR メモリ チャンネルの増加 - 独立したトランシーバー クロッキングの増加 (X2/ バンク) 28G バックプレーンのサポート - 最も低速なスピード グレードにおける 12.5G トランシーバー - 低コストの CFP4 および CFP2 インターフェイス		

ザ ザイリンクスの Ultrascale アーキテクチャは、次世代のパケット処理アプリケーション向けに、移行前の 3 倍のシステム性能と統合を実現し、エンジニアには ASIC に匹敵するメリットを提供します。UltraScale FPGA は、次世代の有線通信やデータ センター アプリケーションに伴うシステムレベルの要件、制約、ボトルネックを詳細かつ総合的に把握した上で、パケット処理アプリケーション向けに最適化されています。システムに最適化された機能およびアーキテクチャを注意深く併用することで、毎秒数百ギガビットからテラビットまで拡張可能なライン レートで毎秒数百ギガビットのスループットをサポートするなど、ASIC に匹敵する性能を実現しています。UltraScale デバイスは、製品の成功に欠かせない要件である実用的な消費電力の範囲内で性能要件を満たすだけでなく、3D IC をはじめとする高度な統合技術によって、実現可能なシステム価値をさらに多様化します。

UltraScale FPGA と 3D IC によって、次世代アプリケーションに適切なシステム レベル機能が実現します。たとえば、広帯域幅の I/O およびメモリ、クリティカル パスの最適化、ハード化された高効率な機能、ASIC タイプのクロッキングによるスケーラブルな統合、高度なパワー マネージメント、性能を低下させることなくデバイスの使用率を大幅に向上する次世代配線構造などが挙げられます。これらを組み合わせて使用することにより、最も要求の厳しいパケット処理アプリケーションの要件を厳密に満たすよう調整できる、完全にプログラマブルなアーキテクチャで、従来の 3 倍のシステム性能と統合が可能になります。

UltraScale デバイス、Vivado® Design Suite、UltraFast™ 設計手法を併用すると、次世代パケット処理アプリケーションにおけるシステム レベル設計と生産性のボトルネックが解消されます。性能を一切損なうことなくデバイス使用率を最大 90% にまで高めた上で、2048 ビットを超えるデータバスをサポートできるアーキテクチャは UltraScale だけです。

UltraScale は、モノリシック IC からきわめて大容量の第 2 世代 3D IC への拡張を実現する唯一のアーキテクチャです。DSP ブロックおよびブロック RAM 全体で機能強化やクリティカル パスの最適化を行い、多くのパケットベース処理における代表的なボトルネックである、システム レベルでの CRC と FEC 計算の性能を大幅に向上しています。Interlaken 用統合インターフェイスおよび 100G イーサネット MAC 用統合インターフェイスは、ほかにない統合性、コスト、電力効率を実現します。2400Mb/s の DDR4 メモリ インターフェイスおよび 28Gb/s のバックプレーン コネクティビティは、性能の構造転換をもたらし、システム アーキテクチャ全体に対する再考を促す可能性を持っています。Vivado Design Suite および UltraFast 設計手法は ASIC 並みの強力な設計機能を提供し、モノリシック IC と高集積 3D IC の両方で差別化、統合、インプリメンテーションを最短で実現します。■

最大 90% のデバイス使用率と 3D IC によって強化されたシステム統合により、数百ギガビットのスループットを最短で実現できるのはザイリンクスだけです。

UltraScale の価値 : 波形処理

最大 90% のデバイス使用率と 3D IC によって強化されたシステム統合により、コストおよび消費電力を最適化したマルチテラ MAC のスループットを最短で実現

波形処理	価値に対する効果	主要アプリケーション
ドメインに最適化された機能 - DSP 数の多いデバイス - 低スピード グレードにおける DSP クリティカル パス : 491MHz - ブロック RAM のカスケード接続による深いバッファ - DSP 強化によるリソースの低減 - DSP 強化による複雑な演算への対応 主要な I/O および接続インターフェイス - 最大 2400Mb/s の DDR4 メモリのサポート - インダストリアル温度グレードの全範囲で 16G に対応可能な CPRI トランシーバー - 最も低速なスピード グレードにおける 9.8G CPRI - 最も低速なスピード グレードにおける 12.5G トランシーバー - 最も低速なスピード グレードにおける JESD 204B のサポート 12G SDI のサポート - 最高性能のインダストリアル温度グレードのサポート	デバイス移行の効果 1 ドルあたりの DSP 帯域幅 : 2.7 倍 1 ドルあたりのシリアル帯域幅 : 2.2 倍 1 ドルあたりの DDR 帯域幅 : 3 倍 - 同一性能における消費電力の低減 : 30% システム統合の効果 1 ドルあたりのシステム性能 : 最大 3 倍 1 ワットあたりのシステム性能 : 最大 2.6 倍 - システム消費電力の低減 : 最大 50% - BOM コストの削減 : 最大 50%	無線通信 4x4 60MHz 以上の無線 - BTS (CPRI) スイッチ - HD-BTS/CRAN スイッチ - Mwave/Eband MIMO+ 医療画像 - 超音波 航空宇宙および防衛 - レーダー - 軍用無線 (Milcom)

ザ イリンクスの UltraScale アーキテクチャはコスト最適化されたフットプリントでテラ MAC の DSP 性能を提供します。次世代波形処理アプリケーションを従来のわずか 1/2 の消費電力とエリアでサポートし、エンジニアに ASIC に匹敵するメリットを提供します。UltraScale アーキテクチャは、次世代システムに求められる、システム レベルの性能、消費電力、コストの各要件に重点を置くことで、機能、最適化されたコネクティビティ、メモリを適切に組み合わせてバランスの良い DSP 性能を実現しています。OPEX と CAPEX を共に重要視する無線キャリアは、次世代の高密度マクロセル基地局およびクラウド RAN 向けにコストと消費電力が最適化されたソリューションを要求しています。

サイズ、重量、消費電力、コスト (SWAP-C) の制約が厳しいレーダーおよび軍用通信アプリケーションでは、SWAP-C のあらゆる項目で 2 倍以上の改善が求められています。このような要求に応えるために UltraScale デバイスは、製品の成功に欠かせない要件である実用的な消費電力の範囲内で波形処理の性能要件を満たすだけでなく、3D IC をはじめとする高度な統合技術によって、実現可能なシステム価値をさらに多様化します。

UltraScale FPGA と 3D IC によって、次世代アプリケーションに適切なシステム レベル機能が実現します。たとえば、コスト/性能に最適化された I/O コネクティビティ (CPRI および JESD 204B)、高性能メモリ インターフェイス (DDR3-1866 および DDR4-2400)、最適化および強化された DSP 処理のクリティカル パス (倍精度乗算向けに最適化、強化された 491MHz LTE など)、ハード化されたインターフェイス機能 (PCIe® Gen 3 など)、ASIC タイプのクロッキングによるスケーラブルな統合、高度なパワー マネージメント、性能を低下させることなくデバイスの使用率を大幅に向上する

次世代配線構造などが挙げられます。これらを組み合わせて使用することにより、最も要求の厳しいアプリケーションの要件を厳密に満たすよう調整できる、完全にプログラマブルなアーキテクチャで、消費電力を最大 50% 削減しつつ、性能のテラ MAC までの拡張が可能になります。

UltraScale デバイス、Vivado Design Suite、UltraFast 設計手法を併用すると、次世代波形処理アプリケーションにおけるシステム レベル設計と生産性のボトルネックが解消されます。性能を一切損なうことなくデバイス使用率を最大 90% にまで高めた上で、幅広い並列処理をサポートできるアーキテクチャは UltraScale だけです。ブロック RAM と DSP ブロックで大幅な機能強化や最適化を行い、多くの波形アプリケーションの代表的なボトルネックである、固定小数点および複素数の演算性能と効率を飛躍的に向上しています。Vivado Design Suite および UltraFast 設計手法は ASIC 並みの強力な設計機能を提供し、モノリシック IC と高集積 3D IC の両方で差別化、統合、インプリメンテーションを最短で実現します。■

最大 90% のデバイス使用率と 3D IC によって強化されたシステム統合により、コストおよび消費電力を最適化したマルチテラ MAC のスループットを最短で実現できるのはザイリンクスだけです。

UltraScale の価値：イメージおよびビデオ処理

最大 90% のデバイス使用率と 3D IC によって強化されたシステム統合により、
8K/4K イメージ/ビデオ処理および伝送を最短で実現

ビデオおよびイメージ処理	価値に対する効果	主要アプリケーション
ドメインに最適化された機能 - DSP 数の多いデバイス - DSP の強化 - FIR フィルター - 内蔵 VCXO	デバイス移行の効果 1 ドルあたりのロジック セル スループット : 3.2 倍 1 ドルあたりのシリアル帯域幅 : 1.6 倍 1 ドルあたりの DSP 帯域幅 : 1.5 倍 1 ドルあたりの DDR 帯域幅 : 1.4 倍 - 同一性能における消費電力の低減 : 25%	オーディオ、ビデオ、放送 (AVB) 8K/4K イメージ処理
主要な I/O および接続インターフェイス - MIPI 接続 - 最も低速なスピード グレードにおける 12G SDI のサポート 120Hz (51Gb/s) の 小フットプリント 4K/2K センサー インターフェイス - 最大 2400Mb/s の DDR4 メモリのサポート - 最も低速なスピード グレードにおける 12.5G トランシーバー	システム統合の効果 1 ドルあたりのシステム性能 : 最大 3.5 倍 1 ワットあたりのシステム性能 : 最大 2.1 倍 - システム消費電力の低減 : 最大 30% - BOM コストの削減 : 最大 60%	航空宇宙および防衛 4K/2K 監視

ザ イリンクスの UltraScale アーキテクチャは、次世代の 8K/4K ビデオ処理アプリケーションのシステム性能と統合をさらに 2 倍向上します。さらに市場投入までの時間を大幅に短縮し、システムレベルの BOM コストを削減して、ASIC に匹敵するメリットをもたらします。UltraScale ファミリーは、高品位 8K/4K ビデオを高フレーム レートでキャプチャ、エンコード、記録、送信、デコード、表示する際のシステム レベルの要件、制約、ボトルネックを詳細かつ総合的に把握した上で、ビデオ処理アプリケーション向けに最適化されています。システムに最適化された機能およびアーキテクチャを注意深く併用することで、毎秒ギガピクセルおよびテラビットのシステム レベル スループットをサポートするなど、ASIC に匹敵する性能を実現しています。UltraScale FPGA は、ビデオのあらゆるアプリケーションおよび市場においてシステムレベルの成功に欠かせない要件である実用的な消費電力の範囲内で性能要件を満たすだけでなく、3D IC をはじめとする高度な統合技術によって、実現可能なシステム価値をさらに多様化します。

UltraScale FPGA と 3D IC によって、次世代アプリケーションに適切なシステム レベル機能が実現します。たとえば、広帯域幅の I/O およびメモリ、クリティカルパスの最適化、ハード化された高効率な機能、ASIC タイプのクロッキングによるスケーラブルな統合、高度なパワー マネージメント、性能を低下させることなくデバイスの使用率を大幅に向上する次世代配線構造などが挙げられます。これらを組み合わせて使用することにより、最も要求の厳しいビデオ処理アプリケーションの要件を厳密に満たすよう調整できる、完全にプログラマブルなアーキテクチャで、従来の 2 倍のシステム性能と統合が可能になります。

UltraScale デバイス、Vivado Design Suite、UltraFast 設計手法を併用すると、次世代ビデオ処理アプリケーションにおけるシステム レベル設計と生産性のボトルネックが解消されます。性能を一切損なうことなくデバイス使用率を最大 90% にまで高めた上で、

2048 ビットを超えるデータパスをサポートできるアーキテクチャは UltraScale だけです。

UltraScale は、モノリシック IC からきわめて大容量の第 2 世代 3D IC への拡張を実現する唯一のアーキテクチャです。DSP ブロックおよびブロック RAM 全体で機能強化やクリティカルパスの最適化を行い、対称 FIR フィルターに必要な乗算を 50% 削減し、最大サンプリング レートを倍増させるなど、システムレベルの性能を大きく向上しています。各 UltraScale トランシーバーに独立したプログラマブル デジタル PLL を備えることによって、コスト増を招く外部 VCXO またはクロック クリーナーが不要となり、システムレベルの BOM コストを大幅に削減できます。高速の DDR4-2400 メモリへの直接インターフェイス、UHD-SDI の 12G および 6G ネイティブ接続などの UltraScale デバイスの機能は、革新的で合理化された新しいシステム アーキテクチャの開発を可能とし、システムレベルの機能、性能、消費電力における構造転換をもたらします。Vivado Design Suite および UltraFast 設計手法は ASIC 並みの強力な設計機能を提供し、モノリシック IC と高集積 3D IC の両方で差別化、統合、インプリメンテーションを最短で実現します。■

最大 90% のデバイス使用率と 3D IC によって強化されたシステム統合により、8K/4K イメージおよびビデオ処理システムを最短で実現できるのはザイリンクスだけです。

UltraScale の価値：高性能コンピューティング

最大 90% のデバイス使用率と 3D IC によって強化されたシステム統合により、コストおよび消費電力を最適化したマルチテラフロップのスループットを最短で実現

高性能コンピューティング	価値に対する効果	主要アプリケーション
ドメインに最適化された機能 - DSP のカスケード接続による FMAX の向上 - 内蔵 100G イーサネット MAC - ブロック RAM のカスケード接続による深いバッファ	デバイス移行の効果 1 ドルあたりのロジック セル スループット：2.2 倍 1 ドルあたりのシリアル帯域幅：1.6 倍 1 ドルあたりの DSP 帯域幅：1.8 倍 1 ドルあたりの DDR 帯域幅：1.65 倍 - 同一性能における消費電力の低減：35%	テストおよび計測 ASIC エミュレーション
主要な I/O および接続インターフェイス - 最大 2400Mb/s の DDR4 メモリのサポート - 最大 15G の HMC 対応トランシーバー - 強化された内蔵 PCIe Gen 3 - PCIe Gen 4 準拠のトランシーバー 33G トランシーバーのサポート - 拡張 QPI のサポート - 最も低速なスピード グレードにおける 12.5G トランシーバー	システム統合の効果 1 ドルあたりのシステム性能：最大 4 倍 1 ワットあたりのシステム性能：最大 3.4 倍 - システム消費電力の低減：最大 35% - BOM コストの削減：最大 70%	データ センター - 低レイテンシのスイッチ - QPI アクセラレータ - PCIe アクセラレータ

ザ イリンクスの Ultrascale アーキテクチャは、次世代の高性能コンピューティングアプリケーション向けに、移行前の 2 倍のシステム性能と 35% の消費電力低減を実現し、エンジニアに ASIC に匹敵するメリットを提供します。UltraScale FPGA は、次世代の高性能コンピューティングアプリケーションに伴うシステムレベルの要件、制約、ボトルネックを詳細かつ総合的に把握した上で、高性能コンピューティングアプリケーション向けに最適化されています。システムに最適化された機能およびアーキテクチャを注意深く併用することで、大規模アルゴリズムのインプリメンテーションに十分なロジック容量を提供するなど、ASIC に匹敵する性能を実現しています。きわめて高いコンピューティング性能とメモリスループットによる、大規模なマルチスレッド同時実行もサポートし、最大ライン レートの複雑な処理を数マイクロ秒のターンアラウンドで完了します。UltraScale デバイスは、製品の成功に欠かせない要件である実用的な消費電力の範囲内で性能要件を満たすだけでなく、3D IC をはじめとする高度な統合技術によって、実現可能なシステム価値をさらに多様化します。

UltraScale FPGA と 3D IC によって、次世代アプリケーションに適切なシステム レベル機能が実現します。たとえば、広帯域幅の I/O およびメモリ、クリティカル パスの最適化、ハード化された高効率な機能、ASIC タイプのクロッキングによるスケーラブルな統合、高度なパワー マネージメント、性能を低下させることなくデバイスの使用率を大幅に向上する次世代配線構造などが挙げられます。巨大データセットの処理の加速、投資価値とリスクのリアルタイム計算、金融市場のイベントに対するナノ秒応答などの要求に対しても UltraScale FPGA と 3D IC によって適切なシステム レベル機能が実現し、最も要求の厳しい高性能コンピューティングアプリケーションの要件を厳密に満たすよう調整できる、完全にプログラマブルなアーキテクチャで、従来の 2 倍のシステム性能と統合が可能になります。

UltraScale FPGA、Vivado Design Suite、UltraFast 設計手法を併用すると、次世代高性能コンピューティングアプリケーションにおけるシステム レベル設計と生産性のボトルネックが解消されます。性能を一切損なうことなくデバイス使用率を最大 90% にまで高めた上で、テラフロップのコンピューティング性能をサポートできるアーキテクチャは UltraScale だけです。

UltraScale は、モノリシック IC からきわめて大容量の第 2 世代 3D IC への拡張を実現する唯一のアーキテクチャです。DSP ブロックおよびブロック RAM 全体で機能強化やクリティカル パスの最適化を行い、性能における大きなボトルネックに対応しています。単精度および倍精度の浮動小数点に対するサポートを拡張することで、新たな基準となるワットあたり GMAC の消費電力レベルで複雑なデータ フロー マシンのシステム レベル性能を 1.5 ～ 2 倍向上します。Interlaken 用統合インターフェイスおよび 100G イーサネット MAC 用統合インターフェイスは、ほかにない統合性、コスト、電力効率を実現します。2400Mb/s の DDR4 メモリ インターフェイス、拡張 QPI コネクティビティ、32Gb/s のシリアル コネクティビティは、システム レベル性能の構造転換をもたらし、システム アーキテクチャ全体に対する再考を促す可能性を持っています。Vivado Design Suite および UltraFast 設計手法は ASIC 並みの強力な設計機能を提供し、モノリシック IC と高集積 3D IC の両方で差別化、統合、インプリメンテーションを最短で実現します。■

最大 90% のデバイス使用率と 3D IC によって強化されたシステム統合により、コストおよび消費電力を最適化したマルチテラフロップのスループットを最短で実現できるのはサイリンクスだけです。

UltraScale : システム統合と BOM コスト削減

システム統合と BOM コスト削減を実現する主要要素

デバイス使用率	・ 競合製品に比べ 30% を上回る使用率の優位性
トランシーバー数	・ 最大 120 個のトランシーバーによって 400G アプリケーションのデバイス数を 4 個から 1 個まで低減
DSP 帯域幅	・ 8 テラ MAC を超える DSP 帯域幅によってデバイス数を 3 個から 1 個まで低減
内蔵広帯域コア	・ 100G イーサネット MAC および 150G Interlaken コアによってリソースが節約され、その他の機能に使用できる
デバイス容量	・ デバイス容量が大幅に増加した第 2 世代 3D IC デバイス — 同等競合製品の 4 倍

ザ イリンクスの UltraScale は柔軟でプログラマブル、そしてよりスマートな次世代システムを実現するために、その原点であるプログラマブル ロジックをはるかに凌ぐ製品となりました。システム設計者に価値をもたらす上で鍵となるのが、複雑なマルチチップ機能を単一デバイスに統合する機能です。これによってチップ間の性能ボトルネックの解消、システム レベルの消費電力、BOM コストの削減、フットプリントの縮小を実現し、ボードおよびシステム開発がシンプルになります。ザイリンクス 7 シリーズの All Programmable デバイスをベースに構築された UltraScale FPGA および 3D IC デバイスは、アーキテクチャの進化と性能の飛躍的な進歩によって、システム統合を新たな段階へと引き上げます。

システム統合の基盤となるのがデバイス使用率です。デバイスを最適に活用することでシステム機能を可能な限り取り込みます。UltraScale デバイスでは、配線、クロッキング、ロジック インフラストラクチャのアーキテクチャが大幅に再構築されています。これによって、性能を犠牲にすることなく最大 90% のデバイス使用率を達成しつつ、複数のクロック ドメイン間にまたがる IP と サブシステムを統合できます。性能要件を満たしながら、より多くの機能を 1 つのデバイスに集約することは、特定のデザインに対して可能な限り最小のデバイスを選択できるようになるため、システム コストの削減につながります。

IP とサブシステムを統合し、チップ数を 2 から 1、場合によっては 4 から 1 に削減するには、専用リソースを適切に組み入れることも不可欠です。

高帯域システム実現の鍵となるのはトランシーバー リソースです。UltraScale デバイスに含まれるトランシーバーは、最小ジッターで最高の品質を提供するだけでなく、その数も同クラス内で最大です。1 つのデバイスに最大 120 個搭載されているトランシーバーのうち 60 個が 32Gb/s で動作する Virtex UltraScale デバイスは、400G および 500G ネットワーク アプリケーションを単一チップに統合します。UltraScale トランシーバーは高帯域幅を実現すると共に、最新の 28Gb/s 対応 CFP4 光モジュールへのインターフェイス機能によって、システム レベルの BOM コスト、消費電力、外形寸法を削減します。たとえば、4x100G OTN スイッチ アプリケーションの場合、従来は 4 つの FPGA を必要としていた 400G スループットと複雑な処理機能を、1 つの Virtex UltraScale デバイスに統合できます。

各種リソースには複雑な統合 IP コアも含まれます。UltraScale アーキテクチャは、Nx100G ネットワーク アプリケーション向けに 100G イーサネット MAC および 150G Interlaken ブロックを内蔵しています。これらのコアは、消費電力、レイテンシ、ロジック容量の面でメリットをもたらすばかりでなく、より多くの機能をオンチップ化します。たとえば、UltraScale デバイスの MAC-Interlaken ブリッジには、パケット処理やタイム スタンプなどの機能が統合できるようになりました。

無線通信やスマート ビジョン アプリケーションにおける大量の信号処理のニーズに応えるため、UltraScale デバイスは再構築された DSP ブロックを備えています。この DSP ブロックでは、固定小数点と IEEE 754 規格の浮動小数点演算、複素積和演算の効率向上をはじめとする、さまざまな最適化が行われています。DSP 性能に優れた Kintex UltraScale ファミリーは特に大量の信号処理要求に適しており、最大 8.2 テラ MAC のコンピューティング帯域幅を提供します。

たとえば、8x8 100MHz TD-LTE リモート ラジオ ヘッド (RRH) ユニットには、アップコンバージョン、ダウンコンバージョン、クレスト ファクターの低減、プレディストーションなどの機能に対する厳しいコンピューティング性能の要件から、2 つの Kintex-7 デバイスが必要です。DSP 対ロジック比率を高めアーキテクチャを強化することで、信号処理帯域幅が従来のミッドレンジ製品のほぼ 3 倍まで改善された Kintex UltraScale デバイスは 2 つのデバイスを 1 つに統合できます。複雑な機能を小型のデバイスに集約し、分散基地局デザインで重視される消費電力、コスト、フットプリントに優位性をもたらします。

アーキテクチャおよび処理帯域幅の向上以上に統合の実現に重要なのが、絶対的なデバイス容量です。UltraScale デバイスは、7 シリーズで導入された 3D IC という革新的なテクノロジーを使用し、モノリシック IC からきわめて大容量の第 2 世代 3D IC へと拡張可能な唯一のアーキテクチャに基づいています。これには、コスト効率が高く生産実績もあるザイリンクスのスタックドシリコン インターコネクト テクノロジーを採用しています。Kintex UltraScale および Virtex UltraScale の両ファミリーは 3D IC アーキテクチャを活用してミッドレンジ システムを展開すると共に、ハイエンドへも拡張可能です。ダイ間接続を 2 倍に増やしているため、シームレスな設計を実感でき、システムの統合性が最大になります。たとえば、Virtex UltraScale VU440 FPGA では業界最大容量を誇る 28nm デバイスのロジック セル数を 440 万に倍増させ、次世代のテスト/計測およびプロトタイプ アプリケーション向けに最大のシステム統合を実現しています。■

システム統合はシステム レベル デザインにおける重要項目の中でも、特に性能、消費電力、コスト、生産性、フットプリントの改善を後押しします。ザイリンクスの All Programmable デバイスは数世代にわたって複雑なシステムの中核を担ってきました。そして、UltraScale アーキテクチャはこれまでの製品で培われた経験と革新的なテクノロジーに基づいて構築され、最少数のデバイスに可能な限り多くの機能を統合することでスケールリングできるデザインをターゲットとしています。

UltraScale : システム性能のスケーリング

システム性能向上を実現する主な要素

ロジック アーキテクチャ

- ・スピード グレードの最大 2 段階分の性能向上をもたらす次世代の配線機能
- ・ASIC タイプのクロッキングで最小限のスキュー
- ・強化された CLB ロジック インフラストラクチャによる 90% のデバイス使用率の達成

データ処理

- ・ブロック RAM アレイのハード化されたカスケード接続によって性能を改善
- ・8.2 テラ MAC の DSP 帯域幅 (複雑な MAC 演算の効率が 2 倍に向上)

I/O 機能の拡張

- ・6Tb/s の総ピーク シリアル帯域幅および 28G のバックプレーンサポート
- ・DDR4 および HMC メモリのサポート
- ・ダイ サイズと消費電力を低減する内蔵統合された 100G EMAC、150G Interlaken、PCIe® Gen 3 コア

次 世システムには、最大ライン レートで高度な処理を行い、毎秒テラビットおよびテラフロップへ拡張する、毎秒数百ギガビットの処理が必要です。UltraScale アーキテクチャはこれらの性能要件を念頭に独自に開発され、次世代の帯域幅の要件を満たしつつ、デザインのサイズと複雑性をスケーリングできるシステムを実現します。インテリジェントなパケット処理やトラフィック管理、高度なビーム形成が可能なミックスド モード無線デザイン、あるいは高度な画質向上や認識が可能な高品位ディスプレイなど、アプリケーションを問わず、UltraScale アーキテクチャは次世代デジタル システムの性能全体を飛躍的に高めます。

UltraScale アーキテクチャの設計には、膨大なデータ フローと処理の実現という基本的な目標がありました。通常 512 ~ 2048 ビットの範囲にあるデータ バスは、既存のアーキテクチャで次世代デザインの性能要件に対応するには負担が大きく、配線も難しくなります。このようなインターコネクトに関連する課題に対処するため、ザイリンクスは FPGA コア アーキテクチャの再構築に独自の手法を採用しました。この手法では、配線容量を 2 倍以上に高め、ASIC タイプの高度なクロッキング ネットワークを実装し、ロジック インフラストラクチャを強化して使用率を向上しました。

UltraScale デバイスでは配線アーキテクチャが再設計されたことで配線トラック数とロジック セルへのポイント ツー ポイント直接配線数が大幅に増加しています。これにより、ソフトウェア ツールには、最速コンフィギュレーションでロジック リソースを接続するためのオプションがより多く提供されます。ただし、配線強化によるインターコネクト性能の向上に合わせて、クロック性能もスキューを最小限に抑えて適宜向上させる必要があります。UltraScale アーキテクチャのクロック配線およびバッファはすべて再設計され、グローバル クロック バッファの数を以前の 20 倍に増やすと共に、数千とおりの配置オプションを提供しています。これによって ASIC のようにクロック ソースをそのネットワークの中央に簡単に配置できるため、クロック スキューが大幅に小さくなり、性能の高い拡張性が得られます。配線とクロッキングに加え、既存のコンフィギュラブル ロジック ブロック (CLB) 構造もあらゆる観点から分析し、コンポーネントをより有効に活用する方法を検討されています。その分析ならびに検討結果に基づいて強化された CLB により、Vivado Design Suite はロジック ブロックに、たいていは互いに関連性のないコンポーネントをより多く配置でき、デザインの高密度化と高性能動作を可能にします。プロセスによる性能向上と配線、クロッキング、ロジック インフラストラクチャの強化により、実現可能な性能が向上します。たとえば、業界最高の使用率でスピード グレードの最大 2 段階分の性能向上を達成しています。

データ帯域幅を高めるには、データをオンチップ、オフチップで効率的に転送することも必要です。UltraScale アーキテクチャは、シリアル スループットと汎用パラレル I/O の性能を大幅に拡大しました。毎秒マルチギガビットのシリアル データをより幅の広いデータ バスに変換するには、ライン レートだけでなく、信号品質の信頼性も高める必要があります。

Virtex UltraScale FPGA に含まれる次世代 GTY シリアル トランシーバーは、6Tb/s に近いシリアル システム帯域幅をサポートし、チップ間およ

びチップ - 光素子間で最大 32.75Gb/s の転送を可能にして、28.21Gb/s のバックプレーンをサポートできる唯一の 20nm FPGA です。Kintex UltraScale および Virtex UltraScale FPGA の最適化された GTH トランシーバーは 16.3Gb/s のバックプレーンをサポートし、9.8Gb/s の CPRI や 12.5Gb/s の JESD204B など現在のシリアル プロトコル要件を満たしています。GTH および GTY の両トランシーバーによる信頼性の高いバックプレーン サポートの実現に寄与したのは、業界唯一の自動適応イコライザーです。これはザイリンクス 7 シリーズ FPGA から引き継がれた機能で、厳しい伝送チャネル環境で高速のマルチギガヘルツ ライン レートを直接駆動します。

メモリ帯域幅がシステムの総合性能のボトルネックとなりつつあることから、UltraScale アーキテクチャではパラレルおよびシリアル メモリ インターフェイスを新たなレベルへと引き上げています。この強化によってメモリ コントローラーの数を増やせると共に、より幅が広く高速のメモリ ポートが可能となり、1Tb/s を超える DDR 帯域幅がサポートされます。Kintex UltraScale ファミリーは、最大レート 2400Mb/s をサポートする FPGA 業界初の DDR4 メモリ インターフェイスを提供します。それ以上の帯域幅が必要な場合は、Micron のハイブリッド メモリ キューブ (HMC) などのシリアル メモリ テクノロジーに UltraScale デバイスを接続することで、DDR3 モジュールのメモリスループットを 15 倍にも高められます。

信号処理およびパケット処理のボトルネック解消策には、コア アーキテクチャの再構築、内蔵ブロックの最適化も含まれます。たとえば、UltraScale アーキテクチャの新しい DSP ブロックは、従来より幅の広い 27x18 乗算器を備えているため主要な演算機能を効率的に実装でき、配線またはロジック リソースの消費を抑えながら信号処理性能を向上できます。これによって、無線通信インフラストラクチャ、高性能コンピューティング、イメージ/ビデオ処理の主要アプリケーションの基盤となる構築ブロックが得られます。

パケット処理のクリティカル パスは、DSP ブロックによる CRC32 チェックサムのサポート、内蔵 100G イーサネット MAC および 150G Interlaken チップ間インターフェイスの採用などによって最適化されています。これらは、ネットワークおよびデータ センター アプリケーションを実現する主な要素です。

信号およびパケット処理に不可欠な要素として内部メモリ バッファがあります。メモリ アーキテクチャには複数の強化策が盛り込まれています。たとえば、ブロック RAM アレイのハード化されたカスケード接続によって、オンチップ配線やロジックのリソースを消費せずにワード数の多いメモリを構築して性能を向上しています。■

革新的な UltraScale アーキテクチャがもたらすデータ フローの増加、I/O 機能の強化、処理能力の飛躍的増大によって、UltraScale デバイスはほかのプログラマブル ソリューションとは一線を画す製品となっています。このアーキテクチャにより All Programmable アプローチを使用し、業界が突きつける次世代の要件に応えるデザインを構築できます。

UltraScale : 総消費電力削減のための革新技術

低消費電力化を実現する主要要素

スタティク消費電力	・ 20SoC プロセスによるスタティク消費電力の低減 ・ パワー ピニングと電圧スケーリングによるスタティク消費電力の 30% 低減
ダイナミック消費電力	・ 柔軟なクロック ネットワークと高度なクロック ゲーティングによるダイナミック消費電力の 10% 低減 ・ ハード化されたカスケード接続の強化と細かい電源ゲーティングによるブロック RAM 消費電力の 60% 低減 ・ アーキテクチャの効率向上による DSP 消費電力の 20% 低減
I/O	・ DDR4 インターフェイスのサポートによる I/O 消費電力の 20% 低減 (対 DDR3) ・ シリアル メモリ インターフェイスのサポート
トランシーバー	・ アーキテクチャの改良と低消費電力モードによる消費電力の 30 ~ 50% 低減
総消費電力	・ 実際のアプリケーションでは、デバイス レベルで 25 ~ 45%、システム レベルでは最大 50% の低減

プログラマブル デバイスの消費電力は、デバイス選定を左右し、エンド システムの成否の鍵を握る重要な要因となっています。総消費電力、有効性能、バッテリー寿命、システムの冷却機能、信頼性のいずれが懸念される場合であれ、消費電力が中心に位置づけられます。UltraScale アーキテクチャは革新的な手法により、ザイリンクス 7 シリーズ デバイスに比べて消費電力を半減する高性能設計を採用しています。UltraScale デバイスの設計では、スタティク消費電力、ダイナミック消費電力、I/O 消費電力、トランシーバー消費電力を低減するために、複数のストラテジを検討し、実装しました。

TSMC の 20nm シリコン プロセス (20SoC) は 28nm の従来製品 (28HPL) に対して総消費電力を大幅に低減し、公称コア電圧 0.95V で動作します。さらにプロセスのヘッドルーム (消費電力低減のために性能をトレードオフする柔軟性) によって、パワー ピニングと電圧スケーリングが可能となり、スタティク消費電力がさらに低減されます。ザイリンクスは、低電圧 (0.9V) 対応デバイスを選別して、公称コア電圧の 0.95V に対して ~ 30% スタティク消費電力の低い製品として提供しています。低電圧でも高い性能は保たれ、消費電力だけが低減されます。設計者は、電圧制御によって、個々のデザインごとにシステムの消費電力/性能間のトレードオフを最適化できます。

電力効率の向上にあらゆる角度から注力するザイリンクスは、ASIC タイプのクロッキング ネットワークをはじめとするアーキテクチャ上の革新技術を数多く導入することで、ダイナミック消費電力を低減しました。グローバルクロックに使用できるバッファを従来の 20 倍に増やし、それらはダイ上の任意の位置に配置可能であるため、ASIC と同様に必要な場所に限定してクロック ネットワークを駆動できます。このためネットワークは、クロック信号をソースからデスティネーションまで送信するための電力しか消費しません。

ダイナミック消費電力を削減するもう 1 つの革新技術にブロック RAM の強化があります。UltraScale アーキテクチャではインスタンス化されたブロック RAM にのみ電力を供給し、未使用のブロック RAM への給電を無効にすることで、細い精度でのゲーティングを可能としています。ブロック RAM は、専用の配線と出力の多重化により、メモリをハード化した高速のカスケード機能もサポートしています。これによって、外部配線とコンフィギュラブル ロジック ブロック (CLB) リソースを使用する必要がなくなり、ダイナミック消費電力を劇的に低減できます。

ダイナミック消費電力をさらに減らすために、DSP スライスも大幅に強化し、配線およびロジック リソースの消費を抑えながら、ブロックあたりの効率を高めました。このスライスは、一般的な演算用に 2/3 の DSP ブロック数で乗算と積和演算 (MACC) を実装します。さらに、新しい 96 ビット XOR 機能により、有線通信デザイン向けには前方誤り訂正アルゴリズム、CRC、ECC ブロックを効率的に実装し、消費電力の大幅な低減を実現します。

デバイスの総消費電力の大きな比率を、データ フローやデータ処理以上に、I/O が占めるようになってきています。I/O の電力消費が顕著であると見なされてきたのは、メモリ インターフェイスです。UltraScale アーキテクチャは、DDR4 およびシリアルベースのメモリをサポートするようメモリ インターフェイスを強化しました。1866Mb/s の DDR3 から 2400Mb/s の DDR4 に移行することで I/O 消費電力は 20% 削減されます。さらに、Micron のハイブリッド メモリ キューブ (HMC) などのシリアル メモリと接続することで 15 倍の DDR3 の帯域幅を提供するだけでなく、業界最先端のザイリンクスのシリアル トランシーバーによって、消費電力が 70% 低減します。

UltraScale アーキテクチャに含まれるトランシーバーにはいくつかの低消費電力動作機能があるため、柔軟かつきめ細かく性能と消費電力のトレードオフを検討できます。UltraScale アーキテクチャの GTH トランシーバー (最大 16.3Gb/s) は、7 シリーズ GTX (最大 12.5Gb/s) および 7 シリーズ GTH (最大 13.1Gb/s) トランシーバーに比べて総消費電力を 50% 削減するよう再設計されました。また、UltraScale アーキテクチャのトランシーバーは判定帰還等化 (DFE) 回路をオフにする第 3 世代の低消費電力モードを備えています。これは、低消費電力化に伴う信号の劣化を補うためにバックプレーン アプリケーションで一般的に使用されています。

これらの低消費電力化機能すべてを実現する大きな要素がツール フローです。Vivado Design Suite はシステムの消費電力解析と最適化においてクラス最高のツールを提供します。また、設定の微調整やさまざまなシナリオの正確なモデル化が可能な Xilinx Power Estimator (XPE) スプレッドシートを活用することで、システムの消費電力を適切に判断できます。Vivado Design Suite ではコンパイルおよびインプリメンテーション段階で自動的に消費電力を低減すると共に、システム デザイン全体またはその一部の消費電力を低減する細粒度クロック ゲーティングなど、ユーザー指定に基づいた最適化を実行できます。■

ザイリンクスは UltraScale アーキテクチャにおいて、プロセス強化から電圧制御、アーキテクチャの革新、ソフトウェアの最適化に至るさまざまなストラテジで低消費電力化を実現しています。スタティク、ダイナミック、I/O、トランシーバーの各消費電力の削減比率について、多数のオプションを評価しました。その結果、性能を安心してスケーリングし、消費電力の要件を満たしながらシステム統合を最大限に実現できるようになりました。

UltraScale : ASIC に匹敵するメリットをもたらす生産性

ASIC に匹敵するメリットをもたらすツール、アーキテクチャ、設計手法

UltraScale デバイスの 使用率と QoR

・複雑なデザインで 20 ~ 30% 向上した QoR で最大 90% のデバイス使用率を実現

デザイン アブストラクション

・Vivado IPI および Vivado HLS により RTL 手法に比べて開発コストを最大 1/15 に削減

UltraFast 設計手法

・ザイリンクスの UltraFast 設計手法の適用により開発時間を 1/10 に短縮

高機能化と複雑化の進む次世代システム デザインでは、統合、インプリメンテーション、そして最終的な市場投入までに要する時間の予測が、ますます困難になっています。デザインの複雑さに合わせて、ツール、シリコンアーキテクチャ、設計手法もスケーリングさせなければ、開発プロセスの生産性を損ない兼ねません。Vivado Design Suite と UltraScale アーキテクチャおよび UltraFast 設計手法を組み合わせることで、ASIC に匹敵するメリットを提供する最も生産性の高い設計パスを提供し、このようなスケーリングを可能にします。

すべては設計プロセス自体にあります。これは多くの場合 RTL レベルの生産性向上だけでは足りないことを意味します。IP およびシステム統合の加速には、数レベルからなるデザインの抽象化と自動化が必要です。Vivado Design Suite は C と IP ベースの設計環境を組み合わせ、従来の RTL フローに比べて開発を最大 15 倍加速します。

たとえば、Vivado 高位合成 (HLS) は、C ベースのアルゴリズムを再利用可能な IP に簡単に変換すると共に、検証時間を短縮します。無線、医療、防衛、民生用のアプリケーション向けに難しく、高度なアルゴリズムを設計する場合は、アルゴリズム開発が容易で、シミュレーション性能も RTL ベースよりも絶対的に高い C/C++ または SystemC を使用する必要があります。Vivado 高位合成 (HLS) による C ベースの IP 生成を利用することで、C 言語で記述された仕様のターゲットとしてザイリンクスの All Programmable デバイスを直接指定できます。その際、ザイリンクスのオンチップメモリ、DSP エLEMENT、浮動小数点ライブラリが自動的に適用され、手作業による RTL の作成は不要です。このため、手作業でコーディングした RTL に匹敵する設計結果 (QoR) を最短で実現できます。

C ベースのアルゴリズム IP または RTL IP をデザインに迅速に組み込むために、ザイリンクスは IP パッケージおよび統合用の Vivado IP インテグレーター (IPI) も提供しています。Vivado IPI は、ARM® AXI インターコネクトや IP-XACT など業界標準のインターフェイスとメタデータに基づいており、設計プロセスの抽象化をさらに推進します。デバイスとプラットフォームを認識する Vivado IPI は、主要 IP インターフェイスのインテリジェントな自動接続、ワンクリックでの IP サブシステム生成、リアルタイム DRC、インターフェイス変更の伝搬、強力なデバッグをグラフィカルで TCK ベースの開発フローでサポートします。これにより、デザインと IP を適切にコンフィギュレーションしつつ、複雑なシステムを迅速に構築できます。

Vivado IPI を使用することで、ザイリンクスまたはアライアンス プログラムメンバーが提供する充実した IP コアライブラリのシームレスな統合が可能です。Vivado Design Suite は広範なプラグアンドプレイ SmartCORE™ および LogiCORE™ IP を提供しており、実績のあるコアを素早くかつ効率的に再利用できることによって生産性が向上します。SmartCORE IP は、きわめて多様な次世代アプリケーションの構築に必要な技術基盤を提供し、その対象範囲にはデータセンターのセキュリティアプライアンスから、超高効率モバイルバックホール モデム、よりスマートな有線アクセス機器まで含まれます。さらに、幅広いアプリケーション向けに増え続けるサードパーティ提供のスマート IP にも対応しています。これらの IP は、Smarter Vision アプリケーションに必要なイメージおよびビデオの処理や解析機能などを提供します。

デザインの統合と検証に次いで生産性のボトルネックとなるのがインプリメンテーションのクロージャの段階です。Vivado Design Suite は UltraScale デバイスと相互に最適化されているため、最も複雑なデザインであってもデザインを最短でインプリメントできます。より多くの機能を可能な限り最小のデバイスに収める設計ツールの能力は、システムレベルのコスト削減と低消費電力化に反映されます。Vivado Design Suite は、高度な適用アルゴリズムを採用し、各コンフィギュラブル ロジック ブロック (CLB) 内で完全に独立したルックアップ テーブル (LUT) を備える UltraScale アーキテクチャを活用することで、高いデバイス使用率を実現します。

インプリメンテーション クロージャの鍵は、デバイス使用率と同時に、性能を高めることにあります。シリコン プロセスの最先端ノードでは、インターコネクトが性能に対する重要な制限要因になります。Vivado Design Suite の解析的配置配線アルゴリズムは、タイミング、インターコネクト使用法、配線長など複数の変数を同時に最適化することで、このボトルネックを解消します。世代が 1 つ進むごとにデザインの容量は 2 倍、場合によっては 3 倍にも増大するため、設計者は複数のチップを 1 つに集約しようとします。したがって 1 日あたりの設計反復回数を最大にし、世界クラスの QoR を最短で達成するためにも上述のような革新的技術が不可欠です。

最先端のシリコンおよびツールを利用できても、設計手法が確立されていなければ製品を適切な時期に市場に送り出し、ビジネスを成功に導くことはできません。ザイリンクスの UltraFast 設計手法には、ボードおよびデバイスのプランニング、デザイン構築と IP 統合、インプリメンテーションおよび設計のクロージャ、コンフィギュレーション、ハードウェア デバッグに対するベスト プラクティスが集約されています。Vivado Design Suite ではこの設計手法の多くが自動化されており、一連のガイドラインとチェックリストによって、QoR に大きな影響を与えるデザイン フローの初期段階に設計のクロージャを達成できます。■

ツール、アーキテクチャ、設計手法の独自の組み合わせにより、All Programmable のアプローチを活用しながら ASIC に匹敵するメリットが得られます。Vivado Design Suite および UltraFast 設計手法とザイリンクス 7 シリーズ FPGA の相互最適化によってメリットをもたらしてきましたが、UltraScale アーキテクチャの性能、低消費電力、統合のメリットが求められる次世代システムの設計にもこの生産性とシームレスな設計はスケーリングされます。