

# Versal ACAP プラットフォームの システムレベルのメリット

Versal™ ACAP のシステムレベルのメリットと、競合プログラマブルロジックベースデバイスと比較した場合の性能について解説します。

## 概要

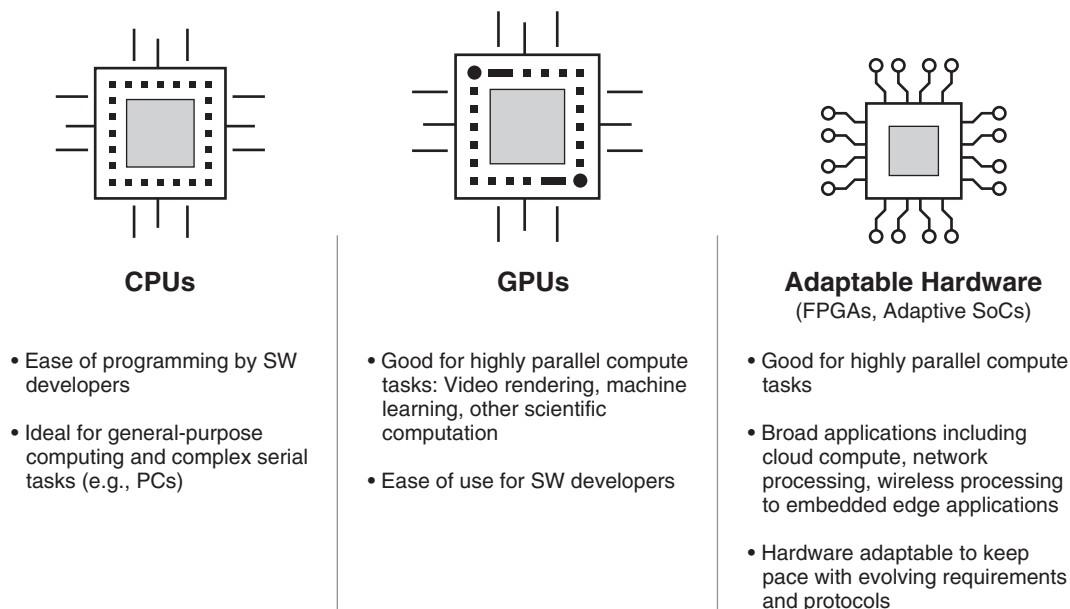
ムーアの法則はこの 50 年間にわたり技術の隆盛を支えてきましたが、現在一般的には、ゴードン・ムーアが 1965 年に立てたイノベーションの速度に関する予測は当てはまらなくなっていると考えられています。従来のシリコンのアーキテクチャのままでは、将来のワークロード需要の高まりに対応できません。コンピューターアーキテクチャ分野のリーダーがよく指摘するように [参照 1]、ワークロード需要に対応するため、業界はコンピューターアーキテクチャの新たな黄金期に突入し、ドメイン特化型のアーキテクチャが登場しました。

ザイリンクスの Versal ポートフォリオは、革新的なアーキテクチャを提供します。クラス最高の 7nm プログラマブルロジックと、スカラープロセッシングエンジン、空間プロセッシングハードウェアエンジン、ベクタープロセッシングインテリジェントエンジン、最先端のメモリおよびインターフェイス技術を搭載し、幅広い市場とアプリケーションに対応する適応型のドメイン特化アーキテクチャの基盤となるプラットフォームを提供します。

このホワイトペーパーでは、一連のドメインアプリケーションにおいて競合プログラマブルロジックベースのデバイスと比較し、Versal アーキテクチャのシステムレベルの性能を評価します。

# はじめに

ここ数年にわたり、コンピューティング産業はデータの爆発的増大および機械学習 (ML) と AI アプリケーションの急成長を目のあたりにしました。その結果、高スループットかつリアルタイムの演算性能のニーズはこれまでになく高まっており、ワークロード要件の進化とプロトコルの変化に対応できる適応性を維持することも求められています。図 1 をご覧ください。



WP539\_01\_081121

図 1: デバイス タイプの比較

Versal ACAP は、データセンター ネットワーキング、ストレージおよび演算アクセラレーション、エッジからクラウドでの AI アクセラレーション、5G 無線、有線アプリケーション、自動運転、航空宇宙/防衛市場などをはじめとする幅広い市場およびアプリケーションの未来の製品の基盤となる準備ができています。

# システムレベルの性能

Versal のアーキテクチャは従来 FPGA のアーキテクチャではありません。Versal はその登場以来、ファブリックのインクリメンタルな QoR (結果の品質) 性能よりも、システムレベルの性能を向上することを目指していました。ザイリンクスが掲げていた具体的な目標は、前世代およびほかのプログラマブル ロジック ベース アーキテクチャに対してシステムレベル性能を最大 5 倍にすることでした。Versal アーキテクチャは、AI エンジン、プログラマブル ネットワーク オンチップ (NoC)、100G イーサネット MRMAC、600G イーサネット DCMAC、400G 高速暗号化エンジン、600G Interlaken、ハード メモリ コントローラーなどの基本的な IP をハード化することによってそれを実現しています。

## 主な課題

Versal アーキテクチャは主に 3 つの課題に対処します。

- 1 ワットあたりのシステム レベル性能
- エネルギー効率の高い演算およびデータ移動機能
- プログラマブル ロジックにおけるメタル スケーリングの限界

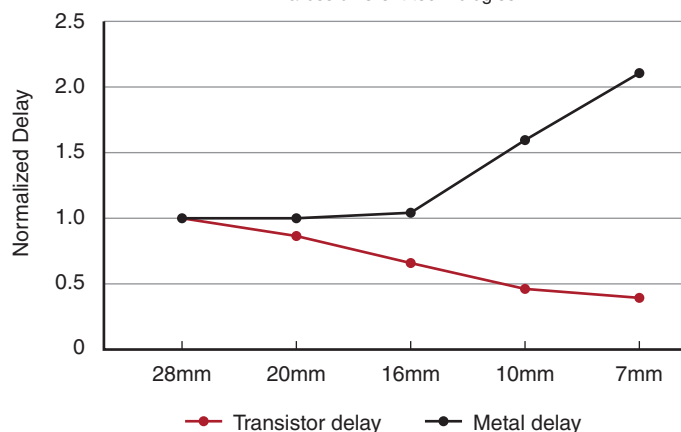
システムレベルの価値を向上するのは、単に性能そのものを提供することだけではありません。消費電力を考慮せずに性能を比較しても、問題の半分しか見ていないことになります。消費電力は、運用コストの上昇と高度な冷却コストの上昇の両面において、全体的なシステム コストに影響を与えます。たとえば、Google によれば、システムの総消費電力 (TDP) と総保有コスト (TCO) には  $R^2 = 0.78$  の相関関係があります [参照 2]。

従来のプログラマブル ロジックは非常に柔軟性に優れている一方で、その柔軟性にはコストがかかります。ハード化されたゲートに実装された機能は、プログラマブル ロジックへのソフト実装よりも電力効率が 10 倍向上する場合があります。たとえば、PCIe<sup>®</sup> DMA - CPU ホスト、ベクトル - ベクトル演算、行列 - 行列演算、メモリ アクセスおよびデータ移動、高速プロトコル エンジン、暗号化などの基盤となる演算およびデータ移動機能を ASIC ハード化すると、より多くのプログラマブル ロジックおよびプラットフォーム リソースが開発者に開放され、業界を一変させるような革新的で適応性の高いドメイン特化アーキテクチャを開発できるようになります。

Versal アーキテクチャでは、メタルのスケール限界にも対応できます。トランジスタの遅延は改善され続けているものの、メタルのスケールが大きな課題になっていました。FPGA では通常より多くのメタルのインターコネクトを持ち、ASIC より高負荷であるため、問題はさらに悪化したのです。図 2 のグラフはこの傾向を示しています。このグラフが示すのは、28nm から 20nm、16nm、10nm、7nm にスケールされた同一のクワッド配線リソースに関するトランジスタとメタルの正規化された遅延時間です。トランジスタの遅延時間は徐々に短くなっていくのに対し、メタルの遅延時間はほとんど 2 次曲線的に増加していきます [参照 3]。7nm Versal ACAP ファブリックでは、メタルトラックを厚くし抵抗を低くするためにメタル層を追加したため、この傾向は部分的に緩和されています。ザイリンクスがこの問題に対処した方法の 1 つは、メタル主導のプログラマブル ロジックと比較して性能が大きく向上するよう、より多くの ASIC ハードブロックを提供したことです。

### Limitations of Processing Scaling Only

Metal and transistor delays for quad routing resource  
across different technologies



Assumes the same routing resource scaled to different nodes.  
Theoretical performance does not represent any actual fabric performance.

WP539\_02\_082021

図 2: プロセス スケーリングのみの限界

これまで、FPGA のベンチマークはファブリックの QoR のみに基づいて取られていました。また、一部はメタルの遅延に関する課題が原因で、現在のプログラマブル ロジック ファブリックの性能は前世代と同様です。たとえば、図 3 は、24 の RTL デザインの集まりに対する GEOMEAN  $F_{MAX}$  性能について、ザイリックスの前世代の Virtex<sup>®</sup> UltraScale+™ FPGA と Intel 社の Agilex デバイスのファブリック性能の比較を示しています。

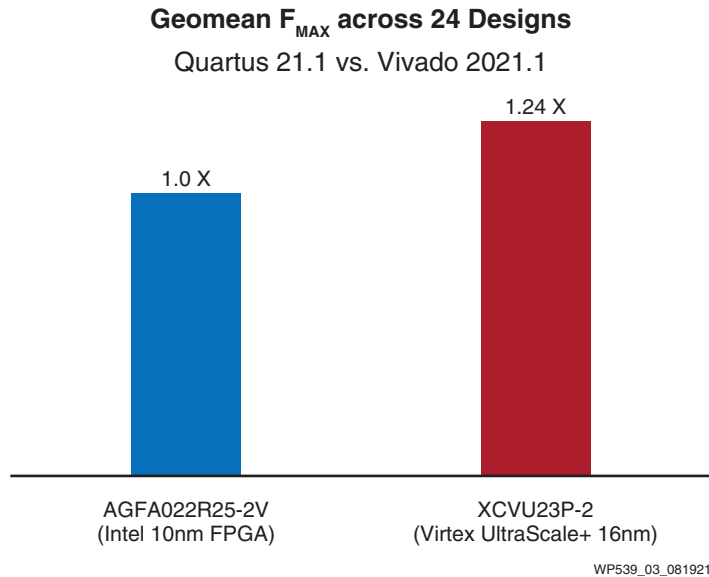


図 3: GEOMEAN  $F_{MAX}$  性能比較

# ソフトウェアプログラマブルアーキテクチャに対する Vivado、Vitis、Vitis AI

要件の進化に対応するため、Versal アーキテクチャはソフトウェアでプログラム可能なプラットフォームも提供しています。Versal ACAP のすべての機能を利用可能にするのは、ハードウェア開発者向け (Vivado® Design Suite) とソフトウェア/AI 開発者向け (Vitis™ 統合ソフトウェアプラットフォーム) の両方の包括的なソフトウェア開発スタックです。Vivado ツールは、最新の ML アルゴリズムを活用して最先端の QoR を実現するとともに、完全にグラフィカルな IP インターフェイスによる IP 統合と、プログラマブル NoC コンフィギュレーションを提供します。Vitis ツールは、C/C++ と Python を使用したソフトウェアによる完全なプログラミング抽象化を提供し、約 1,000 のハードウェア/AI エンジン アクセラレーション オープンソース ライブラリを使用できます。AI 開発者に対しては、Vitis AI (Vitis 開発フローの一部) ツールは TensorFlow や Pytorch などの機械学習フレームワークを直接サポートしており、既成の AI アクセラレート オーバーレイ IP 上で数分以内に学習済みのモデルを量子化、コンパイル、実行できます。Versal アーキテクチャは、Vivado および Vitis/Vitis AI ツールおよびザイリンクスの定評あるプログラマビリティと適応性との組み合わせにより、多くの革新的製品の基盤を提供します。

## Versal ACAP vs. 競合 FPGA

以降のセクションでは、Versal アーキテクチャによって提供される一連のドメインアプリケーションのシステムレベル性能を説明し、競合のプログラマブルロジックベースのデバイスと比較します。

## CNN ベースの画像検出

応用機械学習の手法は、幅広いアプリケーション分野で広く使用されるようになりました。実際、近い将来、機械学習によって変革されていない業界を見つける方が難しくなるでしょう。成長が著しい応用機械学習の1つの領域は、ビジョンおよびビデオ処理の分野です。インターネット上のビデオコンテンツはここ数年で急増しており、それに比例して、画像の並べ替え/分類/識別方法の改善に対するニーズも高まっています。

Versal アーキテクチャの基盤の1つは AI エンジン テクノロジーです。5G 無線および機械学習ワークロードの信号処理要件に対応するため、Versal アーキテクチャはスケール可能な演算機能をいかに提供するかに注力する必要がありました。ファブリックベースの DSP は非常に柔軟できめ細やかなプログラマビリティを提供しますが、ビットレベルのインターコネクトとプログラマビリティによって加わるオーバーヘッドにより、演算密度のスケールリングが制限されます。

AI エンジン テクノロジーは、VLIW のベクトル-ベクトル演算エンジンと行列-行列演算エンジンを2次元に配列したもので、ワードレベルでプログラム可能なインターコネクトを備えています。AI エンジンは、ザイリンクスならではのデータフロー、確定的で演算効率の高い処理を保ちながら、演算密度を大幅に向上させます。以下のグラフは、前世代の DSP から AI エンジン (AIE)、AIE-ML エンジンに至る演算密度の進化を比較したものです。ご覧のように、AI エンジンにより、ザイリンクスデバイスの演算性能は桁違いに向上しました。これは、5G 無線や応用機械学習などのアプリケーションにとって非常に重要です。図 4 をご覧ください。

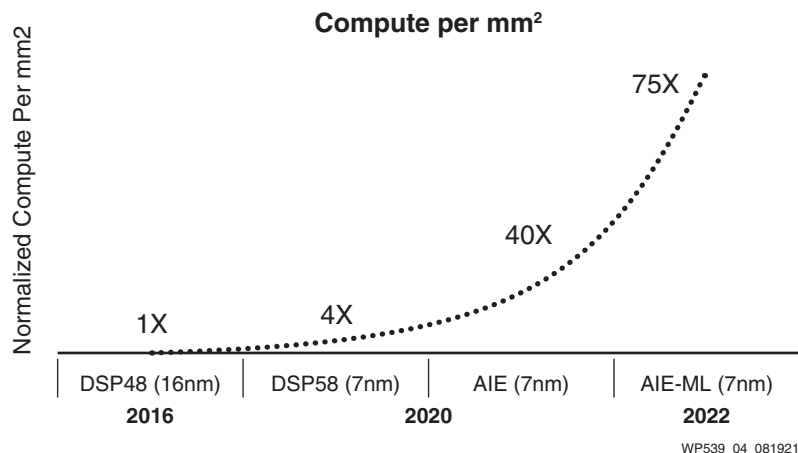


図 4: Versal ACAP: 演算性能が桁違いに向上

Versal AI エンジンの詳細は、『ザイリンクスの AI エンジンとそのアプリケーション』ホワイト ペーパー [参照 4] を参照してください。

ザイリンクスは Versal ACAP の推論スループット性能を示すため、ザイリンクス AI 推論用開発カード VCK5000 上で動作するザイリンクス初の Versal AI コア シリーズ デバイスである VC1902 を使用して、ResNet50 v1.5 画像検出ベンチマークについて、ハードウェアプログラマブルプラットフォーム業界をリードする性能を示す結果を MLPerf Data Center Inference v1.0 に提出しました。

図 5 は、Versal デバイス (VCK5000) での測定結果と、競合の Intel 社製プログラマブルデバイスおよび Versal AI エッジデバイス VE2802 の性能見積もりを示しています。Versal アーキテクチャの特長 (AIE、NoC、および CPM<sup>(1)</sup>) は、Intel 社の 10nm FPGA デバイスと比べ、2.7 倍～8.2 倍のワットあたり性能を実現しています。

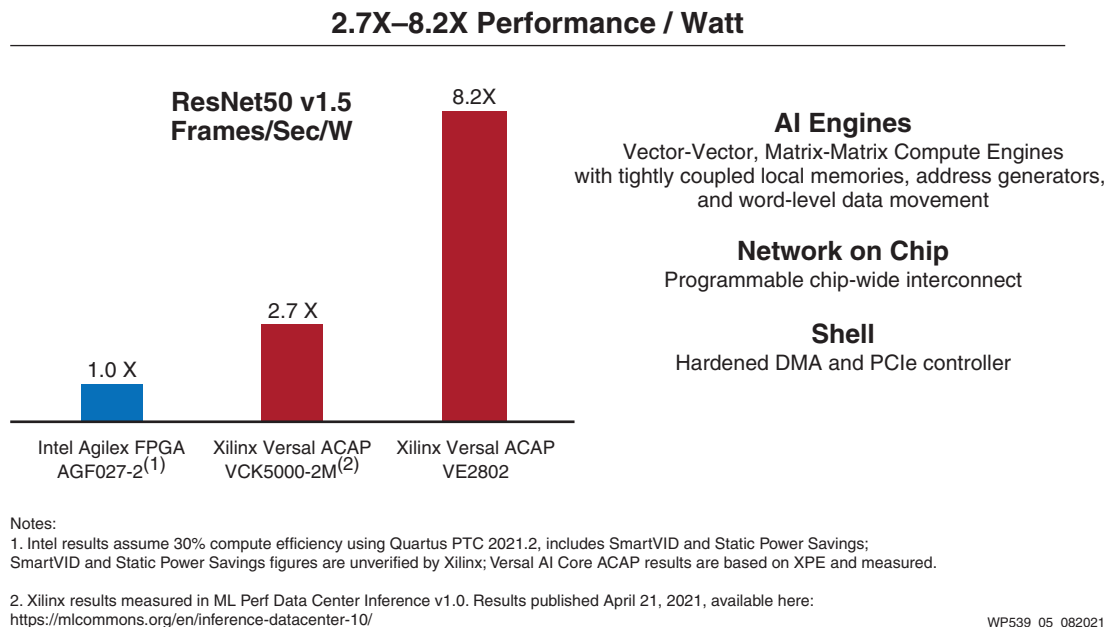


図 5: Versal ACAP のワットあたり性能は 2.7 倍

Versal AI エッジシリーズ、VE2802 ACAP、AIE-ML の詳細は、ザイリンクスのウェブサイト <https://japan.xilinx.com/products/silicon-devices/acap/versal-ai-edge.html> を参照してください。

1. CPM は、DMA および CCI (Cache Coherent Interconnect) デザインを備えた PCIe<sup>®</sup> 用統合ブロックです。

## 5G 無線ビームフォーミング

Massive MIMO 無線は世界中の 5G 商用展開の主要なフォームファクターです。物理層および上位層の手続きと制御信号は、5G NR (New Radio) でビームフォーミングをサポートするよう規定されています。Massive MIMO 無線は、32 または 64 個のアンテナ素子を使用して 1 人または複数のユーザーに対してビームを形成し、時間および周波数において同じスペクトルリソースを使用することでセル容量を大幅に増大させながら、セル間およびセル内の干渉を削減します。

アンテナ数が 64 の 200MHz システム (無線のビームフォーミングデバイスなど) の典型的な無線構成では、ダウンリンクで 1.5TMAC/s の演算を実行する必要があります。アップリンク方向のビームフォーミングを実行するためにさらなる演算が必要になります。

Versal アーキテクチャは、5G NR の進化し続ける厳しい設計要件に対応するため、適応型演算の柔軟性および性能を提供しています。特に、Versal AI エンジンテクノロジーは、乗算器、メモリ、インターコネクで構成される従来の FPGA ファブリックと比較した場合、消費電力を低減させながら必要な演算密度を向上させます [参照 5]。

図 6 に、無線 5G アプリケーションにおける Versal AI コア VC1902 プロダクション ACAP [参照 6] の予測結果と、エネルギー効率を高めるために必要なハード化機能のない Intel 社の競合プログラマブルデバイスの予測結果との比較を示します。Versal アーキテクチャの特長 (NoC、AIE、および CPM) は、Intel 社の 10nm FPGA デザインと比べ、2.14 倍のワットあたり性能を実現しています。(1)

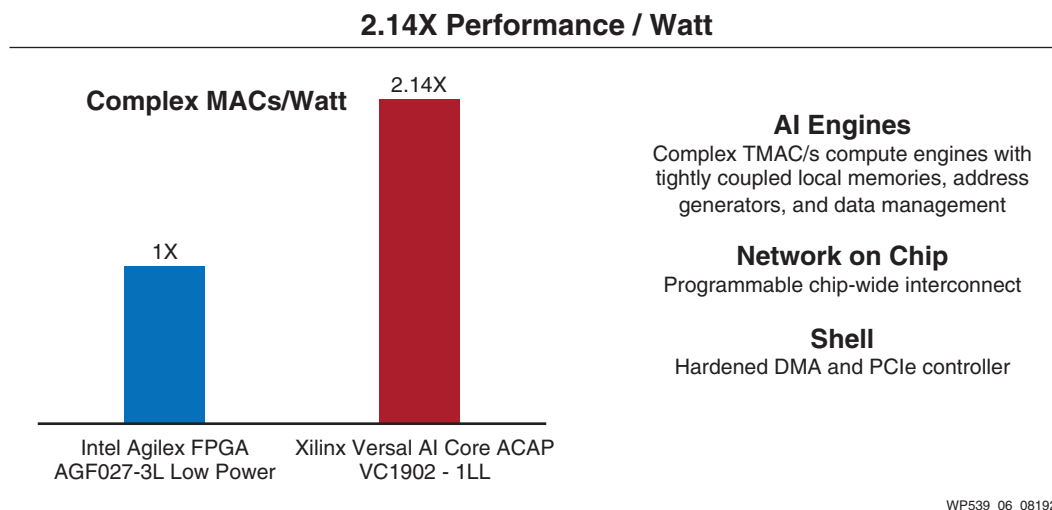


図 6: 無線 5G ビームフォーマー アプリケーションにおける Versal ACAP のワットあたり性能は 2.14 倍<sup>1</sup>

1. Intel 社の結果は Quartus PTC 21.2 によって、18x19 乗算器使用率を 75%、SmartVID およびスタティック消費電力削減を含むと想定して見積もられました。SmartVID およびスタティック消費電力削減の数値はザイリックスによって検証されていません。ザイリックスの消費電力は XPE 2020.3 によって、ワースト ケース、最大プロセスで、同様の演算効率を想定して見積もられました。

# ネットワーク アクセラレーション

クラウド事業者やエンタープライズ データセンターでは、特にネットワークのアクセラレーションに関して、CPU から幅広いクリティカル アプリケーションをオフロードするニーズが高まっています。CPU 負荷の高いアプリケーション処理をオフロードするのに役立つ、まったく新しいタイプのハードウェア アクセラレータが市場に登場しました。

ザイリンクスのネットワーク アクセラレータは、演算コストの高いネットワーク処理 (IPsec や NVMeoF など) をオフロードするとともに、再構成可能で拡張可能なデータプレーン プログラマビリティを提供することによって、CPU の使用効率に革命をもたらします。Versal アーキテクチャは、ハード IP などの多くの基本的機能を追加することによってネットワーク アクセラレータ アプリケーションにメリットをもたらし、同時にデータプレーンのカスタム処理を可能にします。

これらの機能は次のとおりです。

- ホスト PCIe インターフェイスおよび DMA
- 400Gb 全二重高速暗号化エンジン
- オンチップ データ移動およびハード メモリ コントローラー向けのプログラマブル NoC
- 100GbE および 400/600GbE MAC
- Arm® Cortex®-A72 アプリケーション APU および Cortex-R5F リアルタイム RPU コア
- クラス最高のトランシーバー テクノロジー

これらの重要なハード IP 機能は、消費電力とフットプリントを削減し、デバイス リソースを解放してその他の機能 (インライン機械学習やカスタム パケット処理機能など) に使用できるようにします。

図 7 は、ネットワーク アクセラレータ アプリケーションにおける Versal デバイスと競合プログラマブル デバイスの消費電力見積りの比較を示します。PCIe カードの消費電力バジェットを超過している競合の Intel 10nm FPGA<sup>(1)</sup> と比較すると、Versal アーキテクチャの特長は 75W PCIe フォーム ファクターで 16W の電力ヘッドルームを確保するのに役立っています。

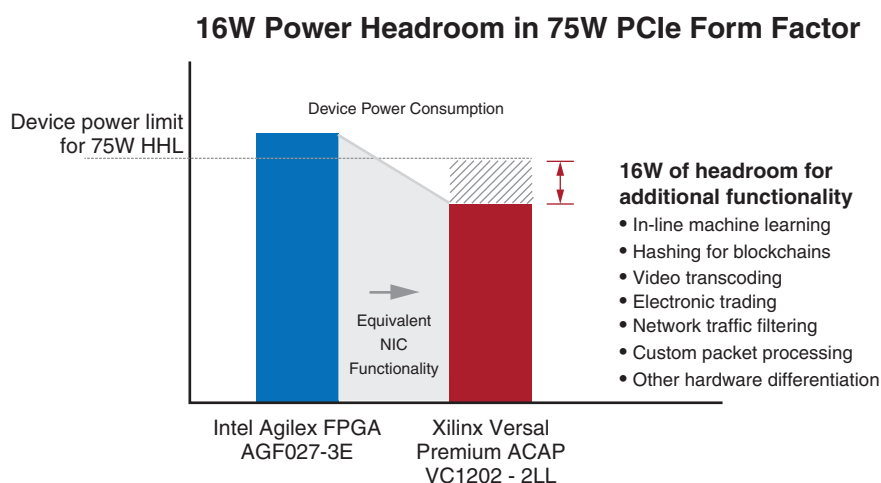


図 7: ネットワーク アクセラレーション アプリケーションにおいて、Versal ACAP は競合デバイスと比較して 16W を超える追加ヘッドルームを提供<sup>1</sup>

1. ネットワーク アクセラレータの設計: 540k LUT、PCIe Gen4x16、2x 100GbE MAC、2x DDR4 インターフェイス、NoC 有効。ザイリンクスの消費電力は 2020.3 XPE によって、ワースト ケース、最大プロセスで見積もられました。Intel 社の消費電力は 21.2 Quartus PTC により、SmartVID およびスタティック消費電力の削減を含むものと想定して見積もられました。SmartVID およびスタティック消費電力削減の数値はザイリンクスによって検証されていません。



# DCIブリッジングおよびトランスポート向け SmartPHY ソリューション

データセンターが 400G、いずれは 800G に移行する中、今後も DCI (データセンター インターコネクト) 装置には柔軟性が求められます。これらの増え続けるネットワーク負荷には、ルーター/スイッチ チップで最新の SerDes レート (56G ~ 112G) を使用し、DCIブリッジングおよびトランスポート機能を円滑化する完全密度の動作が必要です。一方、クライアント インターフェイスはレーンあたり 10G から 112G までまちまちです。これらのクライアント インターフェイスをネットワークングおよびトランスポート チップにブリッジするには、必要に応じて SerDes レートを調整し、FEC を変更することが必要になります。多くのトランスポート アプリケーションでは、必要に応じて、複数クライアントの多重化、または 1 クライアントの複数ラインへの逆多重化など、その他の機能が必要になります。さらに、頻出するインフラストラクチャ装置へのサイバー攻撃を防ぐために、インライン暗号化/復号化などのセキュリティ機能も必要になります。

ザイリンクスの Versal ACAP SmartPHY ソリューションは、最大 2.4Tb/s のトランスポート/ネットワーク インターフェイスを光フェイスプレートに接続し、1 つのデバイスに最大 1.6Tb/s の全二重暗号化の統合を可能にします。これは業界で飛び抜けてトップクラスのデバイスあたりの密度であり、OEM システム プロバイダーは差別化された製品を開発できます。

図 8 は、同等の DCIブリッジング デザインにおける Versal デバイスと競合プログラマブル デバイスの消費電力見積もりの比較を示します。

Versal アーキテクチャの特長 (NoC、CPM、および HSC) とハード イーサネット インターフェイスの高密度により、Intel 社の 10nm FPGA<sup>(1)</sup> と比べ 2.2 倍のワットあたり性能と、PCB フットプリントの 70% 削減を実現しています。

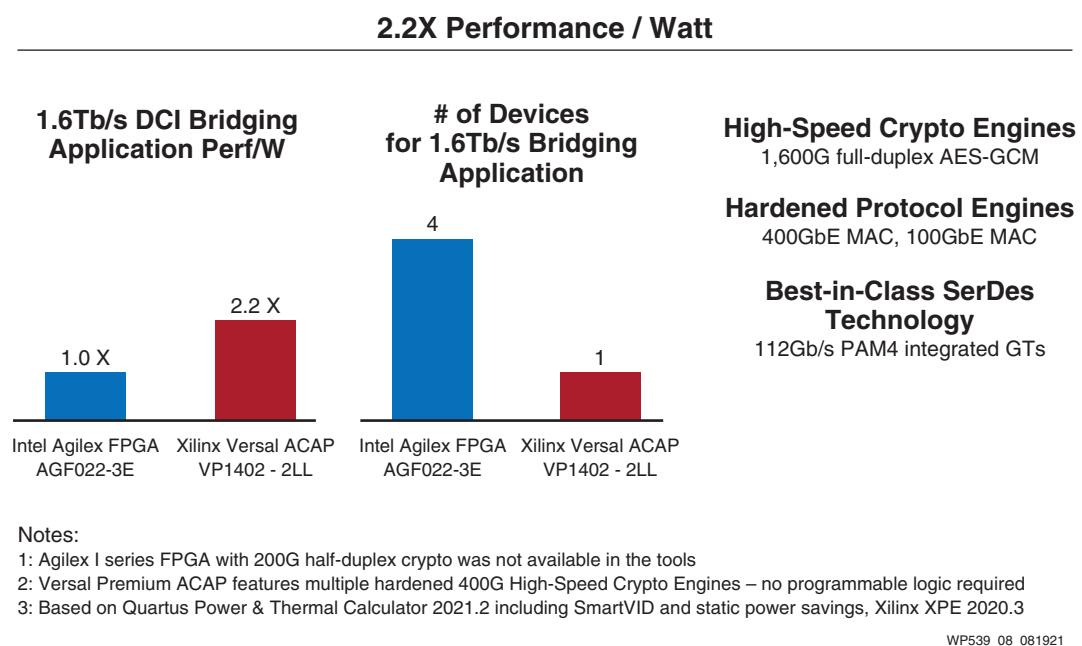


図 8: DCIブリッジングアプリケーションにおいて、Versal ACAP は競合デバイスと比較して 2.2 倍のワットあたり性能を実現<sup>1</sup>

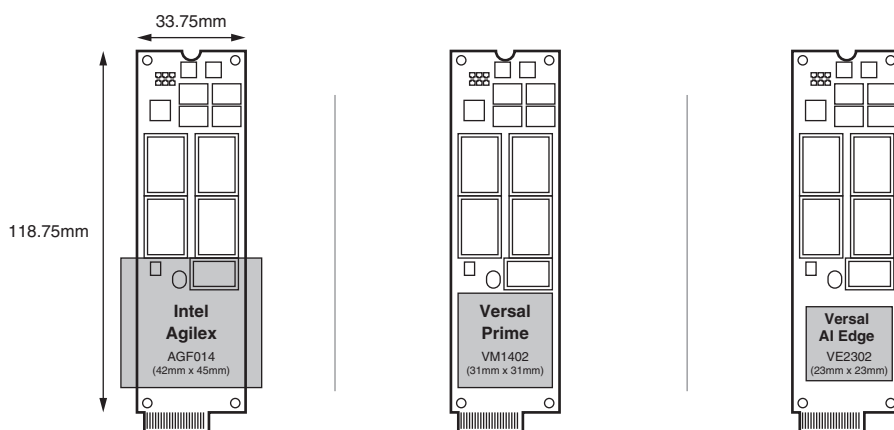
1. DCIブリッジングデザイン: ザイリンクスの消費電力は 2020.3 XPE によってワースト ケース、最大プロセスで見積もられました。Intel 社の消費電力は 21.2 Quartus PTC により、SmartVID およびスタティック消費電力削減を含むものと想定して見積もられました。SmartVID およびスタティック消費電力削減の数値はザイリンクスによって検証されていません。

# ストレージ アクセラレーション

フォーム ファクターによって制約を受けるアプリケーションは数多くあります。消費電力を一定の枠内に抑えながら適応型ハードウェアの性能を最大化する必要があるインライン エンタープライズ ストレージ アクセラレーション アプリケーションもその例です。U.2 フォーム ファクターのストレージ デバイスにおいて、適応型ハードウェアが占める基板面積と、基板上に搭載できるメディアの量には直接のトレードオフがあります。さらに、EDSFF E1 などの新しいストレージ フォーム ファクターには、少なくとも 1 辺が 33.75mm 未満のパッケージが要求されます。

Versal プライム VM1402 デバイスは、35mm x 35mm パッケージで 648 のシングルエンド I/O、31mm x 31mm パッケージで 324 のシングルエンド I/O を提供し、一般的なストレージ ワークロードに対して想定される消費電力は 17W です。さらに、計算用ストレージ アプリケーション向けに、Versal AI エッジ VE2308 デバイスは、23mm x 23mm パッケージで最大 31 の INT8 TOP/s を提供し、ストレージ ハードウェア規格に準拠しながら、かつてないワットあたり性能を実現します。

図 9 に示すように、最も近い競合製品の Intel 10nm FPGA は 42mm より小さいパッケージ寸法では提供されておらず、多くのエンタープライズ DC ストレージ フォーム ファクターに適合しません。Versal ACAP に統合されたハード IP (CPM DMA、NoC、および各種 AI エンジン) は、これらのデバイスをより小さいフォーム ファクターにスケールアップできるようにし、差別化された機能の提供を可能にします。



	Intel Agilex AGF014 <sup>2</sup>	Versal Prime VM1402 <sup>3</sup>	Versal AI Edge VE2302 <sup>5</sup>
Logic Density <sup>1</sup>	487K ALMS + DDR	565K LUTs + CPM <sup>4</sup> + NoC + DDR	328K LUTs + NoC + DDR
Device Package Size	42MM X 45MM	31mm x 31mm	23mm x 23mm
EDSFF Form Factor	NOT DEPLOYABLE	DEPLOYABLE	DEPLOYABLE
<b>Compute Storage Functions</b>			
Encryption	NOT DEPLOYABLE	✓	✓
Compression	NOT DEPLOYABLE	✓	✓
Hashing	NOT DEPLOYABLE	✓	✓
NVRAM Management	NOT DEPLOYABLE	✓	✓
ML Acceleration	NOT DEPLOYABLE	1,696 DSP Engines	34 AI Engine-ML Tiles <sup>5</sup>

Notes:

- 1: Storage acceleration functions at 6.9GB/s typically require ~300K LUTs or more
- 2: Agilex AGF014-2340A FPGA package
- 3: See Versal ACAP Prime Series Product Selection Guide for full product specifications
- 4: VM1402 features a CPM4, offering integrated PCIe® Gen4 with hardened DMA, eliminating the need to implement DMA in programmable logic
- 5: See Versal ACAP AI Edge Series Product Selection Guide for more details

WP539\_09\_082421

図 9: エンタープライズ SC ストレージ フォーム ファクター (EDSFF) の比較

## まとめ

Versal ACAP は、大幅に向上した性能とヘテロジニアスな統合を含む、まったく新しいタイプの製品です。多くの基本的な IP (AI エンジン、NoC、100G MRMAC、600G DCMAC、400G 高速暗号化エンジン、600G Interlaken など) を Versal アーキテクチャ内にハード化することで、Versal ACAP は競合 FPGA に対して性能およびワットあたり性能面で著しい優位性を持ち、このホワイトペーパーで述べた通り、幅広いアプリケーションでシステムレベルの性能を大幅に向上させます。

システムレベルのベンチマーク比較を含む詳細は、以下を参照してください。

[japan.xilinx.com/versal-performance-elevated](https://japan.xilinx.com/versal-performance-elevated)

ベンチマークを試すには、以下を参照してください。

<https://japan.xilinx.com/member/forms/registration/white-paper-539.html>

## 参考資料

1. Hennessy, Patterson (2019 年 2 月)。A New Golden Age for Computer Architecture from <https://cacm.acm.org/magazines/2019/2/234352-a-new-golden-age-for-computer-architecture/fulltext>
2. Google, LLC. (2021). MLPerf Inference 1.1 System TDP: <https://docs.google.com/document/d/1DNTnQCKAvfPDrQz7zkoeFBBBaNt9a29NzJLO-Mli8EQ/edit#heading=h.vejwhm1jmill>
3. B. Gaide, D. Gaitonde, C. Ravishankar, and T. Bauer, “Xilinx Adaptive Compute Acceleration Platform: Versal Architecture,” in proceedings of the 2019 ACM/SIGDA International Symposium on Field Programmable Gate Arrays (FPGA'19). ACM, [https://japan.xilinx.com/support/documentation/white\\_papers/ACAP%20Paper.pdf](https://japan.xilinx.com/support/documentation/white_papers/ACAP%20Paper.pdf)
4. ザイリンクス ホワイト ペーパー (WP506): 『ザイリンクスの AI エンジンとそのアプリケーション』: [英語版](#)、[日本語版](#)
5. ザイリンクス アプリケーション ノート (XAPP1352): 『AI エンジンへのチームフォーミングの実装』: [英語版](#)、[日本語版](#)
6. ザイリンクス (2021 年)、『ザイリンクス、7nm Versal AI コアおよび Versal プライム シリーズ デバイスの完全な量産出荷を開始』: <https://japan.xilinx.com/news/press/2021/xilinx-announces-full-production-shipments-of-7nm-versal-ai-core-and-versal-prime-series-devices.html>

# 謝辞

このホワイト ペーパーは、次のザイリンクス従業員によって執筆、寄稿されたものです。

シリコン製品プランニング担当ディレクター、Matthew Ouellette

製品プランニング & 競合ベンチマーキング、Mouli Chitta Venkata

消費電力/熱 - プリンシパル テクニカル マーケティング エンジニア、Brian Philofsky

テクニカル マーケティング担当シニア ディレクター、Harpinder Matharu

プリンシパル ワイヤード アーキテクト、Faisal Dada

テクニカル マーケティング担当シニア マネージャー、Ashwin Thiagarajan

AI - Vitis - Vivado - エコシステム製品マーケティング担当ディレクター、Nick Ni

ミッドレンジ ACAP & FPGA 製品ライン マネージャー、Ryan Koehn

ザイリンクス ソフトウェア開発フローおよび競合 - 製品マネージャー、Frederic Rivoallon

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2021年8月25日	1.0	初版

## 免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとし、また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

## 自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとし、セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとし、また、

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) まで、または各ページの右下にある[フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。