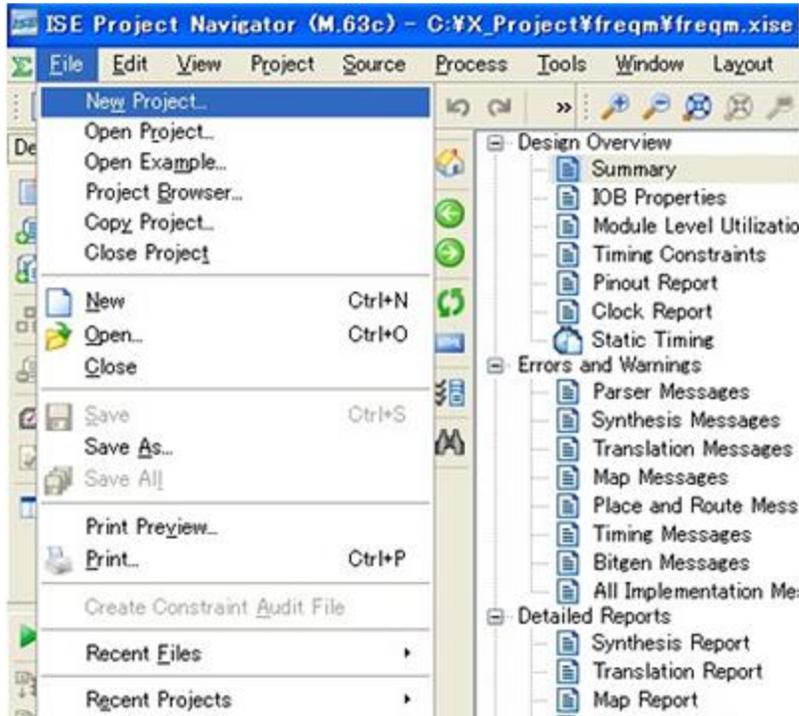
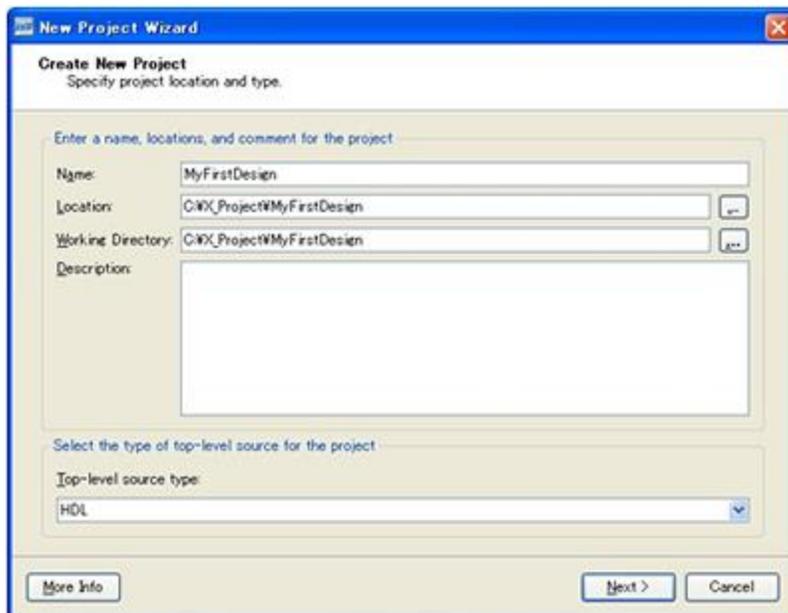


1. 新規にプロジェクトをオープンし、設計を進めます。まず、「File」→「New Project」で設定を開始します。



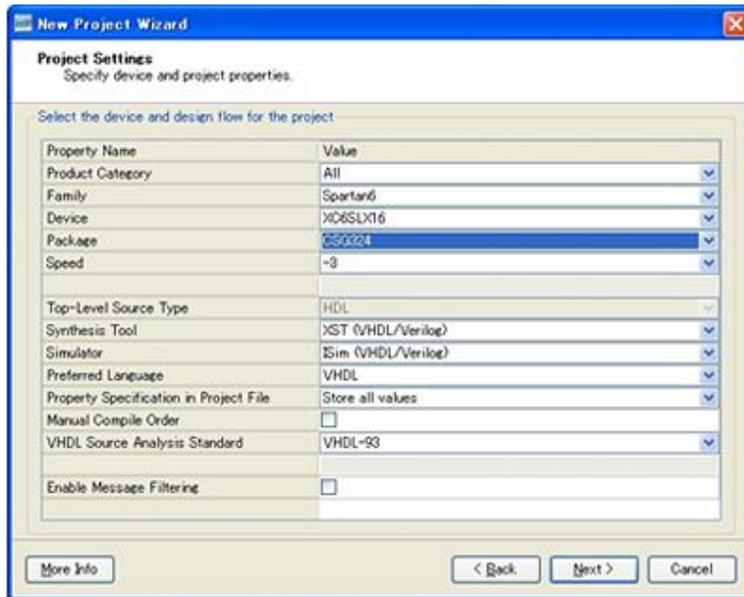
2. 新規プロジェクト名を入れます。新規プロジェクト名のディレクトリが「Location」で指定したディレクトリの下に作成されます。ここでは、「Working Directory」は「Location」と同じにしましょう。すべてのプロジェクトに関するファイルは、このディレクトリ内に保存されます。「Top-level Source type」はHDLにします。



Design Tips 1. ISE 内での各種ファイルの命名は英数字（A～Z, a～z, 0～9）とアンダースコア（_）だけにし、先頭の文字はアルファベットにしてください。

3. 使用するデバイス、言語、サブツールの選択

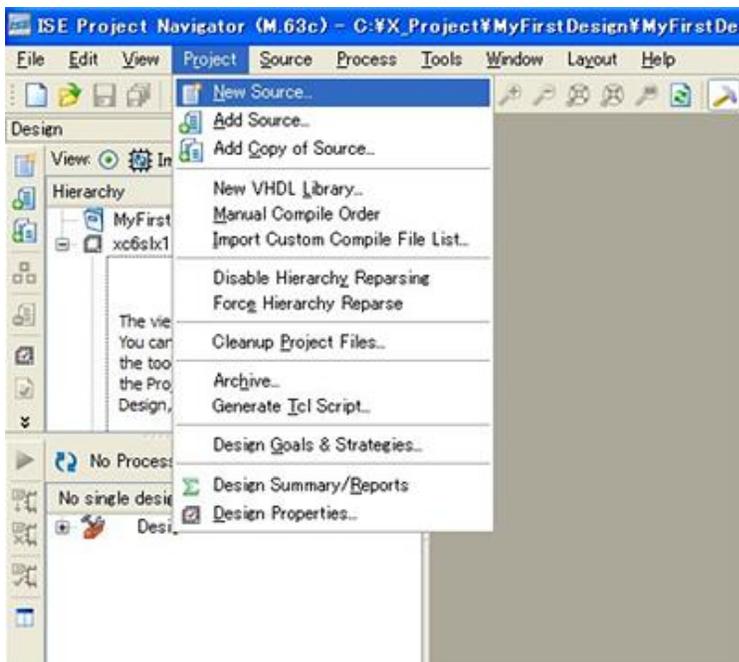
評価基板に搭載されている Spartan-6 ファミリーから lx16 の CSG324 パッケージを選択し、設計言語を VHDL に設定します。その他の設定はそのままプロジェクトを作成します。



4. デザインの入力

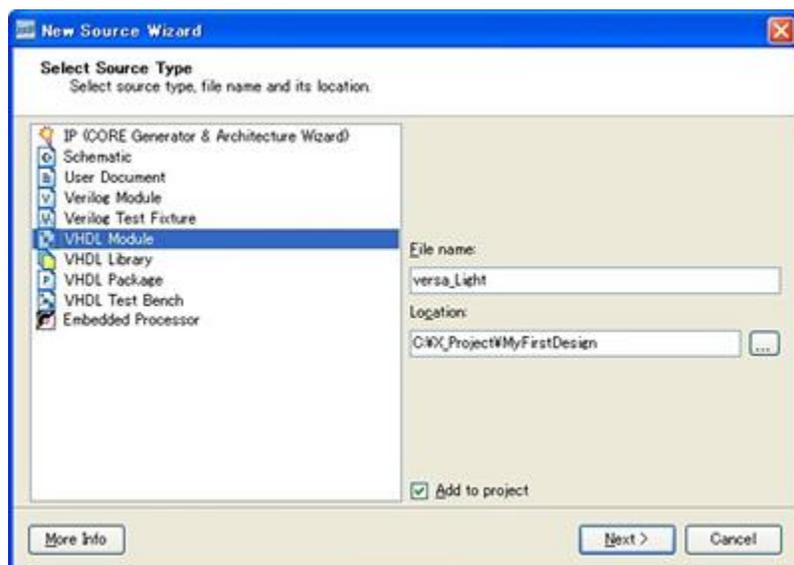
Empty のプロジェクトが作成されたのでソース記述（あるいは追加）をしなくてはなりません。今回は、新規に記述をするスタイルで進めます。

「Project」 → 「New Source」を選択します。



5. 「VHDL Module」を選択し適切なファイル名を記入します。

VHDL モジュール名はプロジェクト名と関連づける必要はありません。



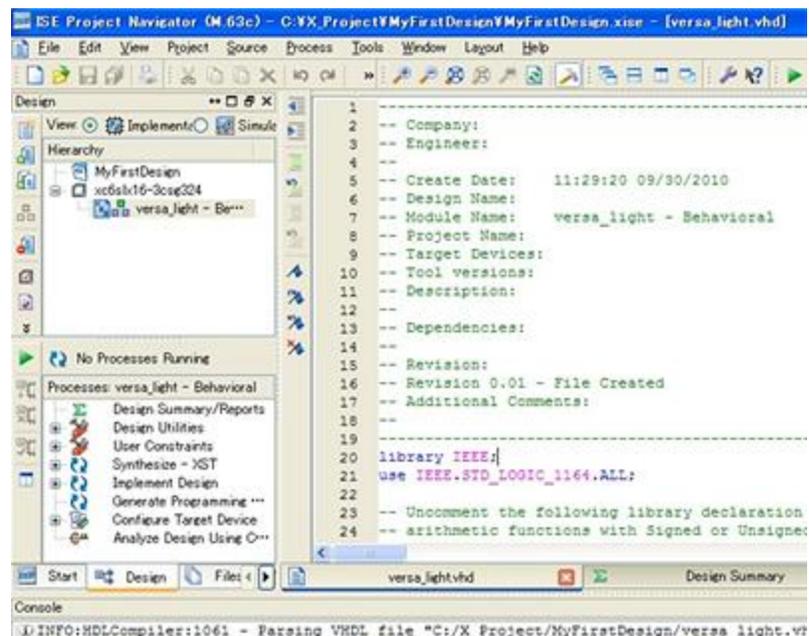
「Next」で IO 設定画面が出ますが、後ほど HDL 記述とユーザ制約（UCF）ファイルでこれを設定しますので、ここでは何もせずに「Finish」してください。

6. HDL の記述

テンプレートの VHDL ファイルが表示されます。下図のようになったと思います。この HDL 記述を完成させると、デザイン入力が終了です。

今回はサンプルデザインの HDL ファイルをコピー & ペーストして、記述したことにしましょう。

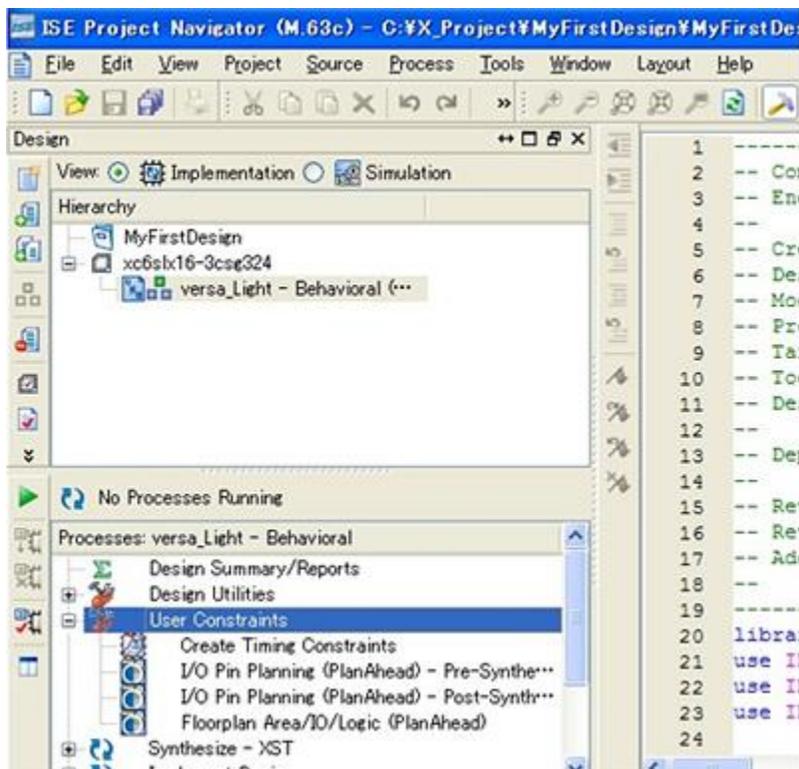
ここから [VHDL ソース記述をコピーして](#)、現在表示されているテンプレートの上からペーストして、全体をそっくり置き換えます。これで記述できました。



7. ユーザ制約の導入

まったくの新規デザインの場合は「Process」ペイン内の「User Constraints」から、ツールを使って、タイミング制約や I/O ピンの配置や規格（LVCMOS, LVDS, etc.）を設定していきます（下図）が、ここでは評価基板の I/O の設定をそのまま導入することにします。慣れると直接テキスト記述できるようになります。

ここは何もせずに、ステップ 8 に進んでください。



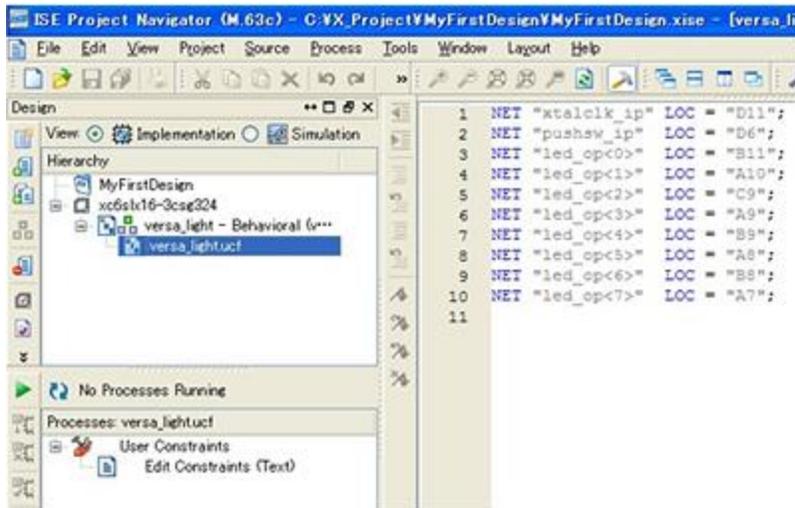
8. UCF ファイルの記述

ここでは評価基板の I/O の設定をそのまま導入することにし、タイミング制約は特に付けませんので、サンプルの UCF ファイルからコピー & ペーストします。「Project」→「New Source」を選択し、New Source Wizard 上で「Implementation Constraints File」を選択します。



9. 編集モードでブランクの UCF ファイルが開くので、I/O の制約を記述

今回は versa_light.ucf の内容をコピー & ペーストします。ここをクリックして versa_light.ucf を開き、全体をコピー & ペーストしてください。



これで、デザイン入力は終了です。評価基板の I/O に合わせた入出力の設定も UCF ファイルでピン固定しました。